

Item No. **MN12864K**

DS

Rev.	Spec.No.	Date(M-D-Y)
0	P-R	Aug.-24-01
1	P-R1	Aug.-29-01
2	P-R2	Oct.-02-01
3	P-R3	Nov.-13-01
4	T-R	Dec.-18-02

適用規格	規格No.
蛍光表示管納入規格	TT-93-3336
蛍光表示管信頼性試験規格	TT-99-3050A
蛍光表示管品質保証水準規格	TT-91-3602

絶対最大定格 Absolute maximum ratings Ta=25°C

項目	記号	端子	定格	単位	
Parameter	Symbol	Terminal	Rating	Unit	
フィラメント電圧	Ff	F1-F2	3.5	Vac	
保存温度	Ts	—	-50~+85	°C	
BD系	ロジック電源電圧	VDD1	VDD1	-0.3~6.5	V
	ディスプレイ電源電圧	VDD2	VDD2	-0.3~53.0	V
	入力電圧	VIN	SI*, CLK*, LAT*, BK*	VSS-0.3~VDD1+0.3	V

Note 1: 交流50/60Hzの実効値。

Effective value of AC 50 or 60Hz.

Note 2: Vss=0Vを基準とした値。

Voltage based Vss=0V.

電源シーケンス/B D Power-supply sequence.

Note 3: VDD2の電源投入はVDD1と同時またはVDD1の投入後であること。

VDD1の電源遮断はVDD2と同時またはVDD2の遮断後であること。

VDD2の印加中は、VDD1を70-テイング又は、4.5V未満にしないこと。

VDD1 and VDD2 should be on at the same time, or VDD2 should be on after VDD1 is on.

VDD1 and VDD2 should be off at the same time, or VDD1 should be off after VDD2 is off.

VDD1 should be applied and higher than 4.5V when applying VDD2.

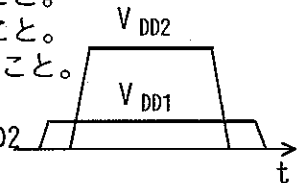


Fig.1

ご注意 : 半導体製品ですので静電気のお取り扱いには十分ご注意ください。

CAUTION : Precautions should be taken to minimize the possibility of static charges occurring during handling.

この仕様書の内容はお断りなく変更することがありますのでご了承下さい。

This specification is subject to change without notice.

推奨動作条件 Recommended operating conditions

項目 Parameter	記号 Symbol	条件 Condition	最小 MIN	標準 TYP	最大 MAX	単位 Unit
フィラメント電圧 Filament volt.	Ef	See Fig. 2 Note 1	2.6	2.9	3.2	Vac
ロジック電源電圧 Logic supply volt.	VDD1	See Fig. 1, 2 Note 2,3	4.5	5.0	5.5	V
ディスプレイ電源電圧 Display supply volt.	VDD2	See Fig. 1, 2 Note 2,3,5	—	45.0	50.0	V
入力電圧 Input Volt.	VIN		0	—	VDD1	V
バイアス電圧 Filament bias Volt.	Ek	See Fig. 2 Note 4	3.5	4.0	4.5	V
クロック周波数 Clock frequency	fCLK	See Fig. 3	—	—	5.0	MHz
クロックパルス幅 Clock pulse width	twCLK	See Fig. 3	80	—	—	ns
データ構成時間 Data setup time	tDS	See Fig. 3	40	—	—	ns
データ保持時間 Data hold time	tDH	See Fig. 3	30	—	—	ns
ラッチパルス幅 Latch Pulse width	tWL	See Fig. 3	300	—	—	ns
ラッチ構成時間 Latch setup time	tLS	See Fig. 3	250	—	—	ns
ラッチ保持時間 Latch hold time	tLH	See Fig. 3	120	—	—	ns
動作温度 Operating Temperature	To	—	-40~+85			°C

Note 4 : フィラメントランセナータップに印加すること。With respect to filament center-tap (F.C.T).

Note 5 : 電流制限抵抗 RD=22Ω を挿入すること。RD=22Ω to be connected in series

電気的光学的特性 Electrical and optical characteristics

At typical operating condition, all segments turned on, fCLK=2MHz Ta=-40~85°C VSS=0V unless otherwise noted.

項目 Parameter	記号 Symbol	テスト条件 Test conditions	最小 MIN	標準 TYP	最大 MAX	単位 Unit
フィラメント電流 Filament current	If	All segment off VDD1=VDD2=0V Note 1	248.0	275.0	303.0	mAac
ロジック電源電流 Logic supply current	IDD1	fCLK=2MHz Note 6	—	4.0	8.0	mA
ディスプレイ電源電流 Display supply current	IDD2	Note 6	—	20.0	30.0	mA
Hレベル入力電流 Hi-level input current	I IH	V IH=VDD1	—	—	5.0	μA
Lレベル入力電流 Low-level input current	I IL	V IL=VSS	-250	-70	-35	μA
Hレベル入力電圧 Hi-level input volt.	V IH		VSS+2.4	—	VDD1	V
Lレベル入力電圧 Low-level input volt.	V IL		VSS	—	VSS+0.7	V
輝度 Luminance	L(G)	Ta=25°C 発光Du=1/44	350	(800)	—	cd/m <sup>2</sup>
発光色 Color of illumination	—	Green(G)				

Note 6 : ES検証後、見直しをさせていただくことがあります。

IDD1 and IDD2 may be changed after evaluating the engineering samples.

ピン機能 Terminal function

ピン名	機能
F1, F2	フィラメント電圧入力 Filament voltage input
NP	ノーピン No Pin
CLKg CLKa	シフトレジスタクロック Shift register clock
SIg SIA	シリアルデータ入力 Serial data input
SOg SOa	シリアルデータ出力 Serial data output (For grid scan watchdog use only)
LATg LATA	データラッチコントロール Data latch control
BKg BKA	ディスプレイブランキング Display blanking input
VSS	グランド Ground
VDD1	ロジック電源入力 Logic supply voltage input
VDD2	ディスプレイ電源入力 Display supply voltage input

回路例 / BD

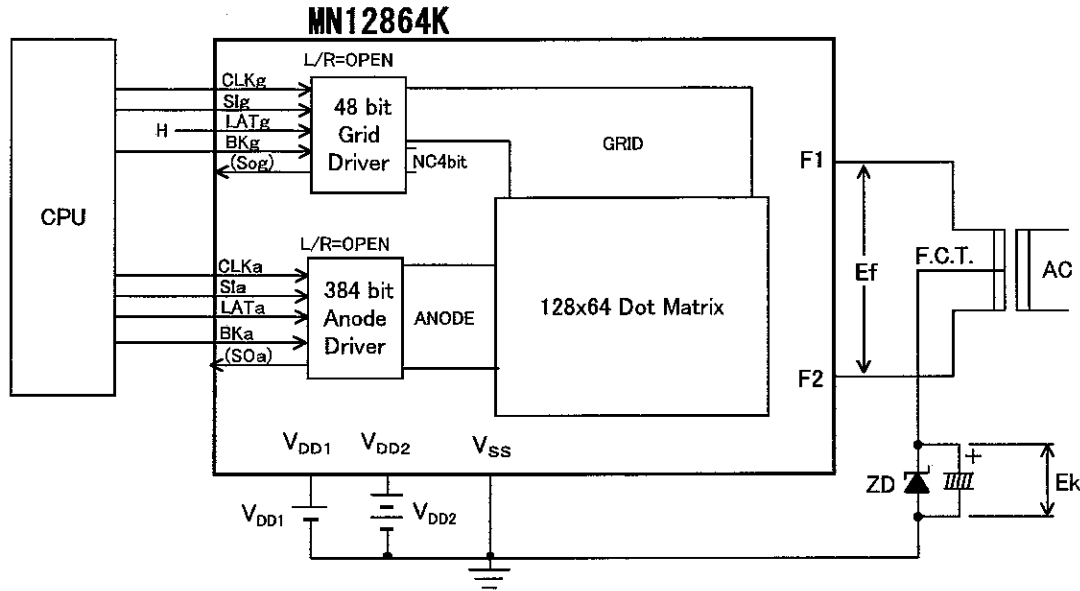


Fig. 2

AC特性 / BD AC Characteristics / BD

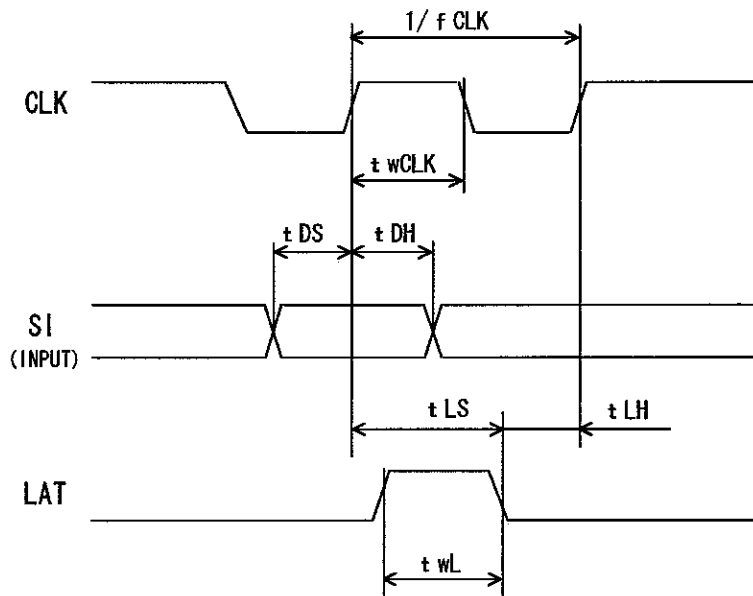


Fig. 3

Note 7: 誤動作防止の為、下記の点についてご注意ください。

Please be careful about the following point for prevention of operation.

- ・データ書き込み時以外はCLKをHighにしておいて下さい。  
 When you don't write the data, Please set CLK to High.
- ・データ書き込み中はBKを変化させないで下さい。  
 Please don't change BK during data transmission
- ・CLKがLowの状態ではBKを変化させないで下さい。  
 When CLK is Low, please do not change BK.
- ・LATがHigh(H)且つBKがLow(L)の状態ではCLKをL→Hにしないで下さい。  
 When LAT is High and BK is Low, please don't change CLK from Low to High.

Note 8: BKに関してはタイミングチャート例をご参照下さい。

Please refer to the Data transfer timing chart about BK.

グリッドスキャンおよびアノードデータ Grid Scan and Anode Data Protocol

スキャン タイミング	選択 グリッド	グリッド出力													アノード データ
		Grid Output													
Grid Scan Timing	Grid Select	G1	G2	G3	G4	G5	G6	...	G40	G41	G42	G43	G44		
T43	G43, G44	L	L	L	L	L	L	...	L	L	L	H	H	Note 12	
T1	G1, G2	H	H	L	L	L	L	...	L	L	L	L	L	Note 10	
T2	G2, G3	L	H	H	L	L	L	...	L	L	L	L	L	Note 11	
T3	G3, G4	L	L	H	H	L	L	...	L	L	L	L	L	Note 10	
T4	G4, G5	L	L	L	H	H	L	...	L	L	L	L	L	Note 11	
T5	G5, G6	L	L	L	L	H	H	...	L	L	L	L	L	Note 10	
:	:	:	:	:	:	:	:	...	:	:	:	:	:	:	
T40	G40, G41	L	L	L	L	L	L	...	H	H	L	L	L	Note 11	
T41	G41, G42	L	L	L	L	L	L	...	L	H	H	L	L	Note 10	
T42	G42, G43	L	L	L	L	L	L	...	L	L	H	H	L	Note 11	
T43	G43, G44	L	L	L	L	L	L	...	L	L	L	H	H	Note 12	
T1	G1, G2	H	H	L	L	L	L	...	L	L	L	L	L	Note 10	

Note 9 : LはLow(OFF)、HはHigh (ON)。

L=Low Level, H=High Level

Note 10 : タイミング内のa, b, c列ドットを選択可能。この時、d, e, f列ドットはLにしてOFF。

Set data ON(H) or OFF(L) for anode group a (1a to 64a), group b (1b to 64b), and group c (1c to 64c) in the selected Grids in this timing.

Then other anodes d, e, and f should be all OFF(L).

Note 11 : タイミング内のd, e, f列ドットを選択可能。この時、a, b, c列ドットはLにしてOFF。

Set data ON(H) or OFF(L) for anode group d (1d to 64d), group e (1e to 64e), and group f (1f to 64f) in the selected Grids in this timing

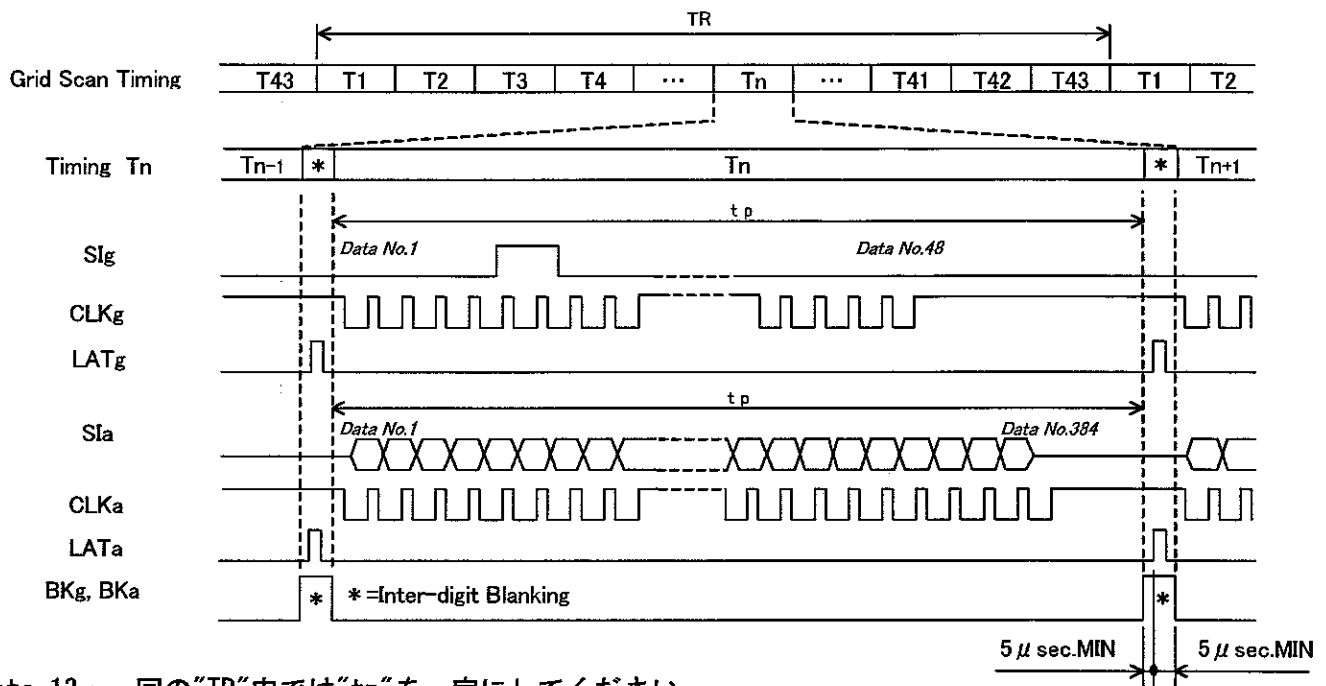
Then other anodes a, b, and c should be all OFF(L).

Note 12 : タイミング内のa, b列ドットを選択可能。この時、c, d, e, f列ドットはLにしてOFF。

Set data ON(H) or OFF(L) for anode group a (1a to 64a), and group b (1b to 64b) in the selected Grids in this timing.

Then other anodes c, d, e, and f should be all OFF(L).

タイミングチャート例 Timing Chart Example



Note 13 : 一回の“TR”内では“tp”を一定にしてください。

The “tp” should be settled in one period of “TR”

Note 14 : ちらつき防止のため、グリッドスキャン周波数 (1/TR) は120Hz以上にしてください。

グリッドスキャンが停止しないようにしてください。停止した場合はVFDが恒久破壊する危険性があります。

120Hz or higher frequency of refresh rate (1/TR) is recommended to avoid display flickering. Avoid stopping Grid Scan. It may cause permanent damage to VFD.

Note 15 : この例の場合LAT<sub>g</sub>は常時スルー(H)にしておきます。

In this case, the LAT<sub>g</sub> shall be always set “H”.

Note 16 : \*) 桁間ブランキングを入れて下さい。

Inter-digit blanking to avoid ghost illumination in the next grid.

シフトレジスタ割り当て Shift Register Assignment

上段 Upper Row	データNo. Data No.
下段 Lower Row	割り当て Assignment

アノードドライバ Anode Driver (384bit)

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1a	1f	1b	1e	1c	1d	2a	2f	2b	2e	2c	2d	3a	3f	3b	3e
17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
3c	3d	4a	4f	4b	4e	4c	4d	5a	5f	5b	5e	5c	5d	6a	6f
33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48
6b	6e	6c	6d	7a	7f	7b	7e	7c	7d	8a	8f	8b	8e	8c	8d
49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64
9a	9f	9b	9e	9c	9d	10a	10f	10b	10e	10c	10d	11a	11f	11b	11e
65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80
11c	11d	12a	12f	12b	12e	12c	12d	13a	13f	13b	13e	13c	13d	14a	14f
81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96
14b	14e	14c	14d	15a	15f	15b	15e	15c	15d	16a	16f	16b	16e	16c	16d
97	98	99	100	101	102	103	104	105	106	107	108	109	110	111	112
17a	17f	17b	17e	17c	17d	18a	18f	18b	18e	18c	18d	19a	19f	19b	19e
113	114	115	116	117	118	119	120	121	122	123	124	125	126	127	128
19c	19d	20a	20f	20b	20e	20c	20d	21a	21f	21b	21e	21c	21d	22a	22f
129	130	131	132	133	134	135	136	137	138	139	140	141	142	143	144
22b	22e	22c	22d	23a	23f	23b	23e	23c	23d	24a	24f	24b	24e	24c	24d
145	146	147	148	149	150	151	152	153	154	155	156	157	158	159	160
25a	25f	25b	25e	25c	25d	26a	26f	26b	26e	26c	26d	27a	27f	27b	27e
161	162	163	164	165	166	167	168	169	170	171	172	173	174	175	176
27c	27d	28a	28f	28b	28e	28c	28d	29a	29f	29b	29e	29c	29d	30a	30f
177	178	179	180	181	182	183	184	185	186	187	188	189	190	191	192
30b	30e	30c	30d	31a	31f	31b	31e	31c	31d	32a	32f	32b	32e	32c	32d
193	194	195	196	197	198	199	200	201	202	203	204	205	206	207	208
33a	33f	33b	33e	33c	33d	34a	34f	34b	34e	34c	34d	35a	35f	35b	35e
209	210	211	212	213	214	215	216	217	218	219	220	221	222	223	224
35c	35d	36a	36f	36b	36e	36c	36d	37a	37f	37b	37e	37c	37d	38a	38f
225	226	227	228	229	230	231	232	233	234	235	236	237	238	239	240
38b	38e	38c	38d	39a	39f	39b	39e	39c	39d	40a	40f	40b	40e	40c	40d
241	242	243	244	245	246	247	248	249	250	251	252	253	254	255	256
41a	41f	41b	41e	41c	41d	42a	42f	42b	42e	42c	42d	43a	43f	43b	43e
257	258	259	260	261	262	263	264	265	266	267	268	269	270	271	272
43c	43d	44a	44f	44b	44e	44c	44d	45a	45f	45b	45e	45c	45d	46a	46f
273	274	275	276	277	278	279	280	281	282	283	284	285	286	287	288
46b	46e	46c	46d	47a	47f	47b	47e	47c	47d	48a	48f	48b	48e	48c	48d
289	290	291	292	293	294	295	296	297	298	299	300	301	302	303	304
49a	49f	49b	49e	49c	49d	50a	50f	50b	50e	50c	50d	51a	51f	51b	51e
305	306	307	308	309	310	311	312	313	314	315	316	317	318	319	320
51c	51d	52a	52f	52b	52e	52c	52d	53a	53f	53b	53e	53c	53d	54a	54f
321	322	323	324	325	326	327	328	329	330	331	332	333	334	335	336
54b	54e	54c	54d	55a	55f	55b	55e	55c	55d	56a	56f	56b	56e	56c	56d
337	338	339	340	341	342	343	344	345	346	347	348	349	350	351	352
57a	57f	57b	57e	57c	57d	58a	58f	58b	58e	58c	58d	59a	59f	59b	59e
353	354	355	356	357	358	359	360	361	362	363	364	365	366	367	368
59c	59d	60a	60f	60b	60e	60c	60d	61a	61f	61b	61e	61c	61d	62a	62f
369	370	371	372	373	374	375	376	377	378	379	380	381	382	383	384
62b	62e	62c	62d	63a	63f	63b	63e	63c	63d	64a	64f	64b	64e	64c	64d
S 1 a	→	384	383	382	381	380	...	5	4	3	2	1	→	(S 0 a)	

シフトレジスタ割り当て Shift Register Assignment

上段	Upper Row	データNo.	Data No.
下段	Lower Row	割り当て	Assignment

グリッドドライバ Grid Driver (48bit included NCbit)

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
G1	G2	G3	G4	G5	G6	G7	G8	G9	G10	G11	G12	G13	G14	G15	G16
17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
G17	G18	G19	G20	G21	G22	G23	G24	G25	G26	G27	G28	G29	G30	G31	G32
33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48
G33	G34	G35	G36	G37	G38	G39	G40	G41	G42	G43	G44	NC	NC	NC	NC

S Ig → 

48	47	46	45	44	...	5	4	3	2	1
----	----	----	----	----	-----	---	---	---	---	---

 → (S Og)

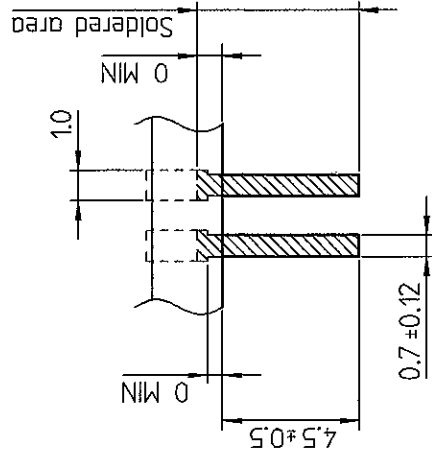
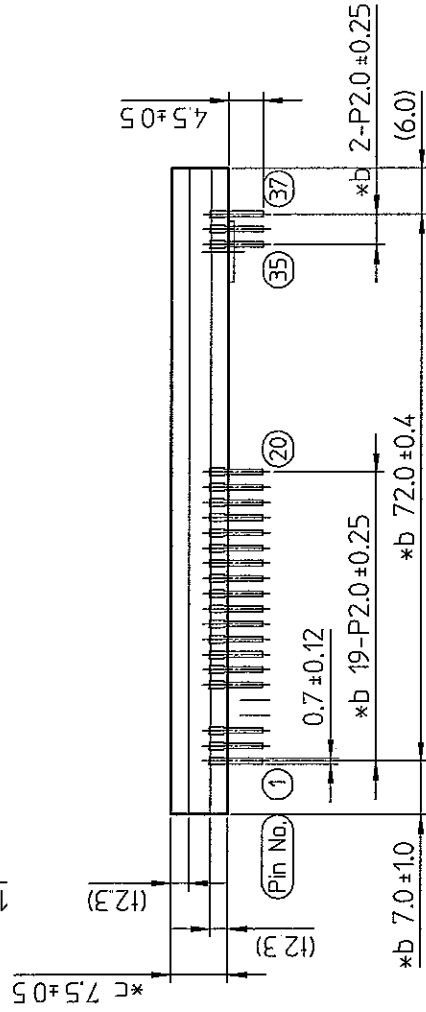
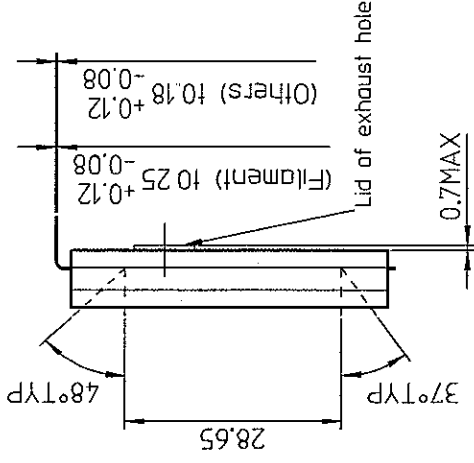
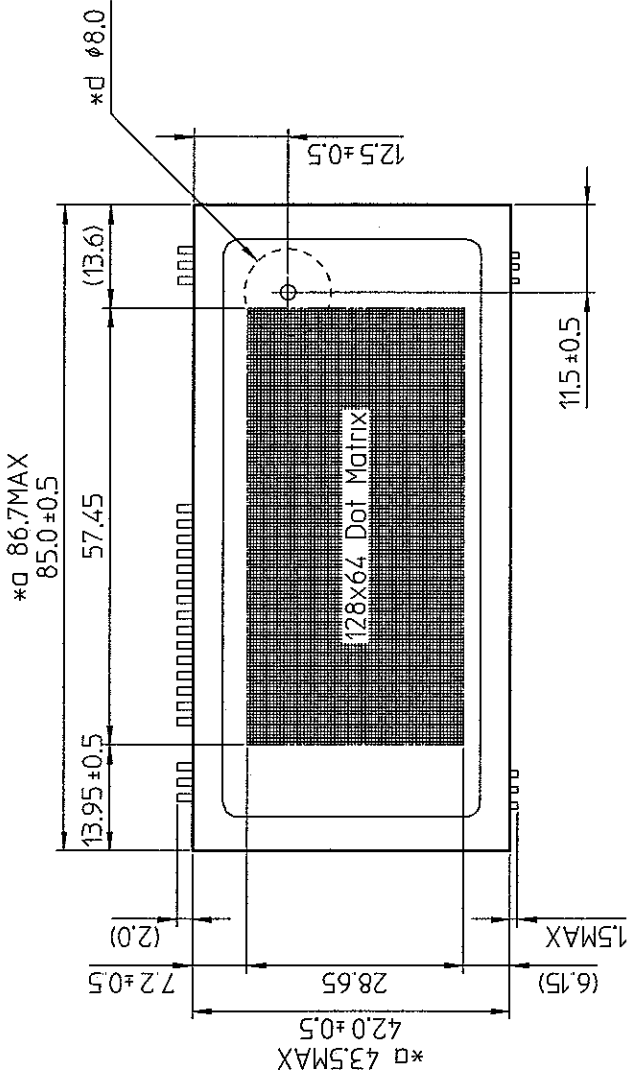
Note 17: NC部はHまたはLどちらでもよい。NC=No Connection (Do not care either H or L)

ピンコネクション Pin Assignment

Pin No.	1	2	3	4	5	6	7	8	9	10	11	12	13
Assignment	F1	F1	F1	NP	NP	BKa	LATa	CLKa	Sl a	SOa	SOg	Sl g	CLKg
Pin No.	14	15	16	17	18	19	20	21	~	34	35	36	37
Assignment	LATg	BKg	VDD1	VSS	VSS	VDD2	VDD2		NP		F2	F2	F2

Specification of V.F.D.  
 MN12864K : Outer dimension

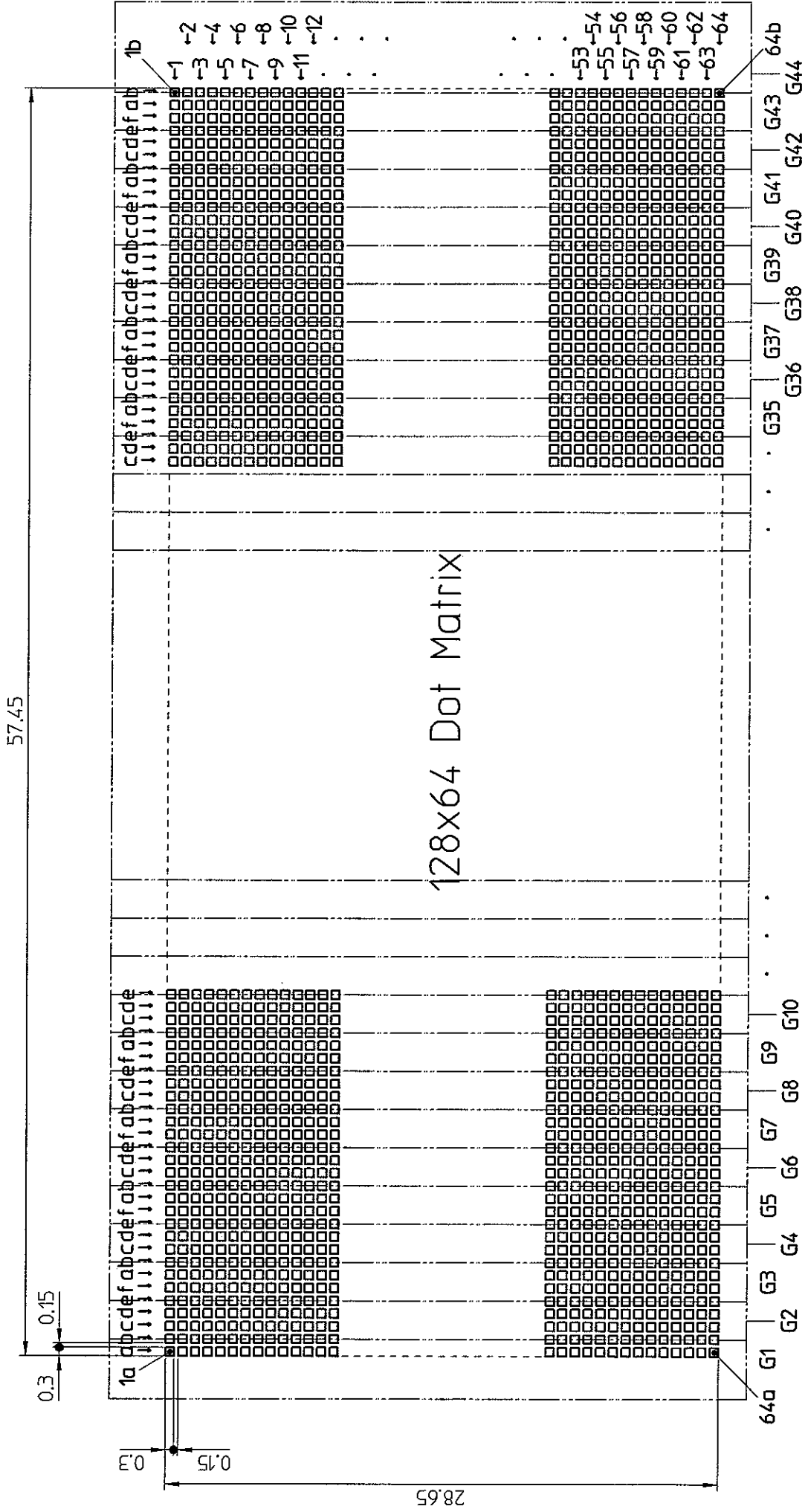
Sheet 8/9  
 Scale 1:1  
 Unit : mm  
 ( ):Reference only



LEAD DETAIL

- \*a Included extra frit glass.
- \*b Within 3mm from 3mm bottom of the glass substrate.
- \*c This size does not include the thickness of a lid.
- \*d This lid is settled in the range of 6mm radius from the center of a hole.





Anode numbers are expressed with composition of a line(1 to 64) and a sequence (a to f).  
 Anode sequence is repeated in the order of a,b,c,d,e,and f.  
 Color of illumination is green.