

基于 VC6.0 的多台 MSP430 单片机和 PC 机串口通讯实现方案

Serial Communication Method Between PC and MSP430 Micro Control Units Based on VC++6.0

■ 中国海洋大学信息科学与工程学院 周辉军 许亮 韩瑞宁

引言

在计算机控制系统中, 不可避免的要采用多机系统进行通信。在由一台 PC 机(上位机) 和多台单片机(下位机) 构成的分布式控制系统中, 通过 PC 机的串口与多台单片机的通信是最方便的。在这样的分布式控制系统中, 单片机与微机之间的多路通信是整个系统的关键。

系统组成及通讯原理

系统构成

系统构成如图 1 所示, 由上位机(即计算机)、通讯接口和下位机 3 部分组成。上位机选用的是工控机, 智能终端由单片 MSP430F169 和外围传感器放大电路等构成。要想与 PC 串口连接或者其它带有串口的终端连接, 必须要进行 EIA-RS-232C 与 MSP430 电平和逻辑关系的转换。本设计采用 MAX3232 芯片, 可完成 3V~5V 电平与串口电平的双向转换。

MSP430F169 单片机属于德州仪器公司 MSP430F14X/16X FLASH 系列。该系列是一组超低功耗的微控制器, 工作电压范围 1.8~3.6V。由于具有 16 位 RISC 结构, 16 位寄存器和

常数寄存器, MSP430 达到了最大的代码效率。数字控制的振荡器提供快速从所有低功耗模式苏醒到活动模式的能力时间少于 6ms。MSP430F169 带有两个 16 位定时器(带看门狗功能)、速度极快的 8 通道 12 位 A/D 转换器(ADC)(带内部参考电压、采样保持和自动扫描功能)、一个内部比较器和两个通用同步/异步发射接收器、48 个 I/O 口(均可独立控制)的微处理器结构。硬件乘法器提高了单片机的性能并使单片机在编码和硬件上可兼容。

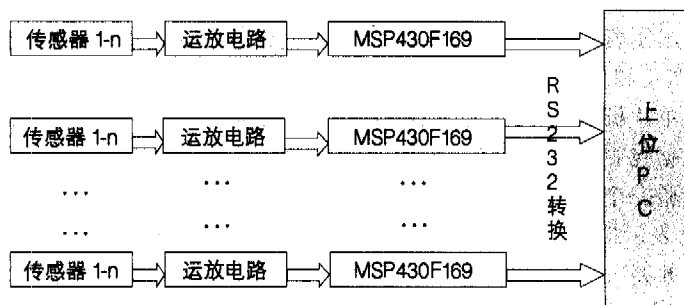
通讯原理

MSP430F169 单片机支持两种不同的串行协议, 通用同步协议(USART 协议)和同步协议(SPI 协议), 用控制寄存器 UCTL(表 1) 中的控制位 SYNC 来选择所需的模式。SYNC=0: 选择异步模式 UART; SYNC=1: 选择同步模式 SPI, 在此选择异步模式。

控制寄存器内的信息决定了 USART 的基本操作, 如选择通信协议、通信模式、字符长度和校验位等。在此设定字符长度为 8 位: CHAR=1, 停止位 1 位: SP=0, 奇校验: PEV=0。MSP430 的波特率发生器有一预分频/分频器和一个调整

PENA	PEV	SP	CHAR	Listen	SYNC	MM	SWRST
------	-----	----	------	--------	------	----	-------

►► 表 1 控制寄存器



►► 图 1 系统框图

器的组合,即使晶振频率不是波特率的整数倍,这一组合也能使MSP430正常工作而且还可以使其通讯协议工作在最大的波特率。采用这一技术,即使用手表晶振(32768Hz),波特率也可以达到4800和9600,选择波特率为9600,外部时钟为ACLK。

系统通讯协议

在PC机和多台单片机的通讯中,确定一个明确而合理的通讯协议是关键,包括对数据格式、通讯方式、传送速度、传送步骤、检纠错方式以及控制字符定义等问题做出统一规定。为了区别不同的分机,必须为每个分机分配一个唯一的地址,此地址唯一区别各单片机。数据格式采用数据包的形式,一次传输一组数据。数据包格式如表2所示:

起始标志位:1个字节
分机地址:1个字节

起始标志位	分机地址	操作命令	数据长度	数据内容	和校验	结束标志
-------	------	------	------	------	-----	------

►► 表2 数据包格式

命令/数据:1个字节
数据长度:1个字节
数据内容:n个字节
和检验:2个字节
结束标志位:1个字节

数据格式中的地址位表示与PC机通讯的单片机地址。操作命令则表示此次通讯要完成的操作。在单片机发送上位机接收的时候,协议规定命令FFH为上报数据,此时数据包中的数据长度、数据内容、和检验三个域便填充实际发送数据的个数、数据及和校验;命令F0H-F3H则表示单片机给PC机的反馈信息,此时数据包中的数据长度、数据内容和检验三个域为空,其中当命令为F0H表示接收成功,F1H表示接收失败并要求重发,F2H表示单片机有数据上报要求,F3H表示单片

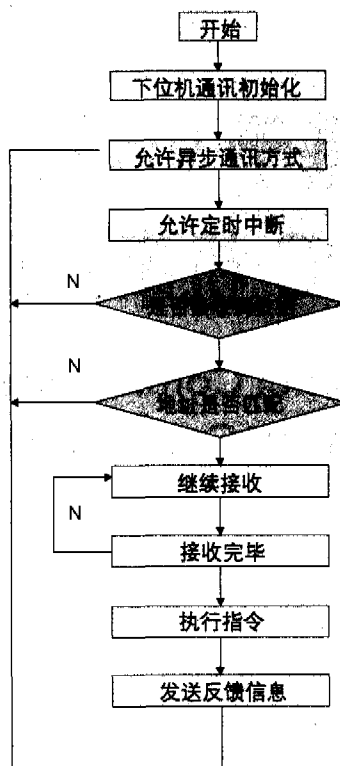
机无数据上报要求。操作命令域在PC机发送单片机接收的时候也相似的协议规定。

软件设计

下位机程序设计

主要由数据发送和数据接收子程序组成。设计单片机通信程序时,必须充分发挥单片机的效率。由于单片机多应用于实时性较强的控制场合,因此,应将及时响应和控制对象的动作放在优先考虑的位置,以尽量减少通信等辅助性操作所占用的CPU时间。基于上述考虑,在设计单片机通信程序时,将通信程序分为接收中断处理程序和发送中断处理程序2部分。

主程序首先完成串行口的初始化、设置串口的工作方式、串口波特率,数据位、校验位等。



►► 图2 接收子程序流程

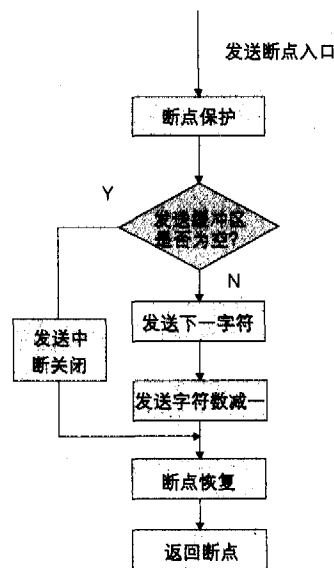
(1) 接收子程序

在接收到上位机发送的地址后,下位机响应中断信号进入接收子程序。首先读取上位机发送的地址数据,检查地址是否匹配,如果匹配,准备接收其余的数据帧。在接收完上位机发送的数据后,判断下位机是否发出中断申请,如果有,则清除中断申请信号。

(2) 发送子程序只有当发送缓冲区内有数据要发送并且置位发送中断允许位时才调用。发送的数据遵守通讯协议的数据帧格式:首先发送起始标志,然后发送需要传输的数据,最后发送校验和以及结束标志位。

上位机通讯

上位机程序设计采用VC++6.0开发平台来实现。应用MSComm控



►► 图3 发送子程序流程

件,可以非常方便地创建串行通信应用程序,但其程序执行效率不够高,并且无法应用串行通信的一些底层功能。CSerialPort类支持线连接的串口编程操作,编写的程序在

Windows98/2000/XP下可以很好的运行CSerialPort类是基于多线程的,它的工作过程及在本系统的应用如下

1)设置通信对象、通信端口号以及配置通信格式(如起始位个数、数据位长度、校验方式、停止位个数等)和其他相关属性;

```
m_Port.InitPort(this,m_nCom,m_nBaud, m_cParity, m_nDatabits, m_nStopbits,m_dwCommEvents,512)
```

2)设定通信协议;

3)打开通信端口,进行数据的传输;

```
m_Port.StartMonitoring();//开启  
监视线程;
```

```
m_Port.WriteToPort ((LPCTSTR)  
temp);//发送数据;
```

4)关闭通信端口,释放系统资源。在完成串行通信操作后,应该将串行通信端口的资源归还给操作系统;

```
m_Port.ClosePort();//关闭串口
```

上位机程序工作流程如下:首先设置好串口参数,再开启串口监测工作线程,串口监测工作线程监测到串口接收到的数据、流控制事件或其他串口事件后,就以消息方

式通知主程序,激发消息处理函数来进行数据处理,这是对接收数据而言;发送数据可以直接发送。

结束语

串口通讯方式在计算机控制系统中有着广泛的应用,本文设计的通讯协议经实践证明稳定可靠,保证了单片机与PC之间数据传输的准确率,CSerialPort类简化封装了大部分通讯用API函数,同时简化了编程操作在实际中有着广泛的应用。**□**

Altera 高端 Stratix III 系列问世



随着 FPGA 性能的提高以及标准单元 ASIC 等半导体技术成本的增加,高端 FPGA 逐步成为电子系统的核心器件,这一发展趋势对 FPGA 提出了新的要求--进一步提高性能和密度,同时满足非常严格的功耗规范。此外,由于当今客户最关心的是提高其设计团队的效能,因此,设计工具的性能和 FPGA 器件的性能同样重要。Altera 最近发布的高端 Stratix III FPGA 系列,在功耗和性能方面都具有更好的表现。

Stratix III FPGA 采用了

TSMC 的 65nm 工艺技术,其突破性创新表现在硬件体系结构提升和 Quartus II 软件改进,与 Stratix II 器件相比,功耗降低了 50%,性能提高了 25%,密度是其两倍。

大大降低功耗,同时达到高性能要求主要通过 Altera 的两种新技术来实现。

一是 Altera 创新的可编程功耗技术,它针对设计中需要的地方提高性能,而把其他地方的功耗降到最低。可编程功耗技术支持每一个可编程逻辑阵列模块(LAB)、DSP 模块和存储器模块在高速或者低功耗模式下独立工作。Quartus II 6.1 软件的 PowerPlay 功能对设计自动进行分析,确定哪些模块位于关键通路上,需要最好的性能,并把这些模块设置为高速模式,所有其他逻辑自动进入低功耗模式。

二是功耗优化技术--可

选内核电压,使设计人员能够根据最大性能需求选择 1.1V 设计,或者根据低功耗要求选择 0.9V 设计。Stratix III 器件具有更大的存储器逻辑比,以及更好的 DSP 性能。

为满足大范围高端应用,Altera 提供三种新的 Stratix III 系列型号:第一种在逻辑、存储器和 DSP 资源上达到均衡,适合一般应用;第二种增强了存储器和 DSP 资源,适合存储器和 DSP 比较密集的应用;第三种集成了收发器,适合宽带接口应用。此外,Altera 还提供从 Stratix III FPGA 至 HardCopy 结构化 ASIC 的无风险移植途径。除了 Quartus II 设计软件之外,一流 EDA 供应商 Aldec、Magma、Mentor Graphics 和 Synplify 以及 Synplify 都支持 Stratix III 器件系列,确保 Altera 器件能够实现质量最好的结果。**□**