

基于 TRF6900 与 MSP430F149 的无线移动通信系统的设计与实现

陈 健, 杨振坤, 童诗存, 魏 峰

(西安交通大学电气工程学院, 陕西省西安市 710049)

【摘 要】 针对地下非自由空间的信息数据采集, 超高频无线移动通信具有可靠性高、应用方便、成本低廉等特点, 目前已经成为主要发展方向。文中通过对 TRF6900 芯片的功能分析, 介绍了该芯片与 TI 公司的 MSP430F149 构建 900 MHz 无线移动通信系统的原理及实际电路的设计。理论和试验证明, TRF6900 芯片非常适合开发地下超高频段低功耗无线移动通信系统。

关键词: 无线移动通信, 射频收发, TRF6900, MSP430

中图分类号: TN929.5

0 引言

TRF6900 是 TI 公司的工作在 850 MHz ~ 950 MHz ISM(工业、科学和医疗)频段的单片半双工射频收发器, 片上集成 VCO(压控振荡器)、PLL(锁相环)和基准振荡器, 带有 11 位 D/A 转换器的 24 位直接数据合成器, 采用 FM/FSK 方式调制发射和接收^[1]。理论分析和实验表明, 在复杂的电磁环境下, 尤其是在受限的非自由空间, 四壁使无线电波的传输受到很大的影响, 特别是中频和高频段的电波, 在传输过程中衰减非常大。而在超高频段, 这种衰减与中频和高频相比有显著的降低^[2]。因此, TRF6900 非常适合在矿井、隧道等复杂的电磁环境下进行无线移动通信。同时, 与 TI 公司的低功耗 16 位 MSP430 系列单片机 MSP430F149 配合, 能开发出体积小、待机时间长、使用 3V 锂电池供电的移动无线通信设备, 为矿井、隧道等受限环境下研发安全可靠的人员监视、预警、搜救系统提供了一个良好的解决方案。

1 TRF6900 结构特点及外围电路设计

TRF6900 内部电路分为发射电路和接收电路^[1]。发射电路包括 RF 功率放大器、PLL、VCO、可编程 DDS(直接数字合成器)、串行接口电路和逻辑控制电路; 接收电路包括两级中频放大器、RSSI(信号强度指示器)、FM/FSK 解调器和低通滤波放大器等。

在发射电路中, TRF6900 使用 3 线单向串行总线(DATA, CLOCK, STROBE)进行编程, 即在 CLOCK 的每一个上升沿, 来自控制器 MSP430F149 的 24 位控制

字通过串口 DATA 输入到 DDS, 当设置 STROBE 为高电平时, 即可将编程信息装入所选定的寄存器中, 从而完成 DDS 模式、PLL 等的设置。在设置好芯片的发射模式后, 就可以将待发射的数据通过 TX_DATA 端引入 DDS, 然后由 DDS 将数字信号通过 11 位 D/A 转换和正弦波形成器转换成模拟信号, 并通过 PA_OUT 端传递给外围天线发射出去。

在接收电路中, 信号由 LAN_IN 端引入 TRF6900, 通过低噪声放大器, 可提供 13 dB 的增益以及 3.3 dB 的噪声指数。根据接收信号的强弱可以选择两种工作模式: 当信号较强时, 选择低增益模式, 以确保非线性失真最小; 而当信号较弱时, 选择标准模式, 以得到最大的灵敏度。被放大后的信号通过 LAN_OUT 和 MIX_IN 送入混频器, 混频器将信号变频到中频后由 MIX_OUT 输出; 之后, 信号再由 IF1_IN 引入, 进行第 1 级中频放大, 该级放大可以使信号获得 7 dB 的增益, 然后通过 IF1_OUT 和 IF2_IN, 将信号引入第 2 级中频放大器, 整机放大可以使信号获得约 80 dB 的增益。最后, 经过两级放大后的信号被送入 FM/FSK 解调器, 解调出数据信号由 DATA_OUT 端引出。

1.1 发射电路的设计

在发射电路设计中, 重点是本振电路(时钟/晶振电路)的计算和设计, 本振电路决定了 TRF6900 工作的基准频率。在本系统中, 晶振采用并联谐振的工作方式, 如图 1 中标号 1 部分所示。图中, 电阻 R18 和电容 C50 构成分频器用于限制晶振的驱动电平, R18 应该足够小, 以确保振荡器在小于最小工作电压情况下能够起振。R19 为偏置电阻, 用于设置反相器的偏置点, R19 的典型值是 1 M Ω ~ 5 M Ω , C50 和 C51 的典型值为 20 pF ~ 30 pF。如果使用 868 MHz ~ 870 MHz 欧

洲的 ISM 频段,晶振的典型值为 18 MHz;如果使用 902 MHz~928 MHz 北美的 ISM,晶振的典型值为 25.6 MHz 或者 26 MHz,在本系统中使用的频段为 900 MHz~915 MHz,故选择晶振为 25.6 MHz。

其次是对本地振荡器的电路设计。本地振荡器是 PLL 的形式,由基于片上的 DDS、低通滤波器和 VCO 构成。这里主要是对 VCO 外围电路的设计。根据经验值,在输出频率为 870 MHz~950 MHz 时,上拉电阻

R14 和 R13 一般取 10 kΩ, C36、C37 取 3.3 pF, C48 取 2.2 pF, L5 为 10 nH, 变容二极管选用 Murata 公司的 SMV1249-079。SMV1247 的工作特性是,当调谐电压在 0.25 V~2.0 V 时,其电容变化范围约为 1.880 pF~7.500 pF。另外,为了加大变容二极管的调频范围,应使 C48 尽可能小,而 C36 和 C37 尽可能大,根据这一原理设计的电路图由图 1 中标号 2 部分所示。

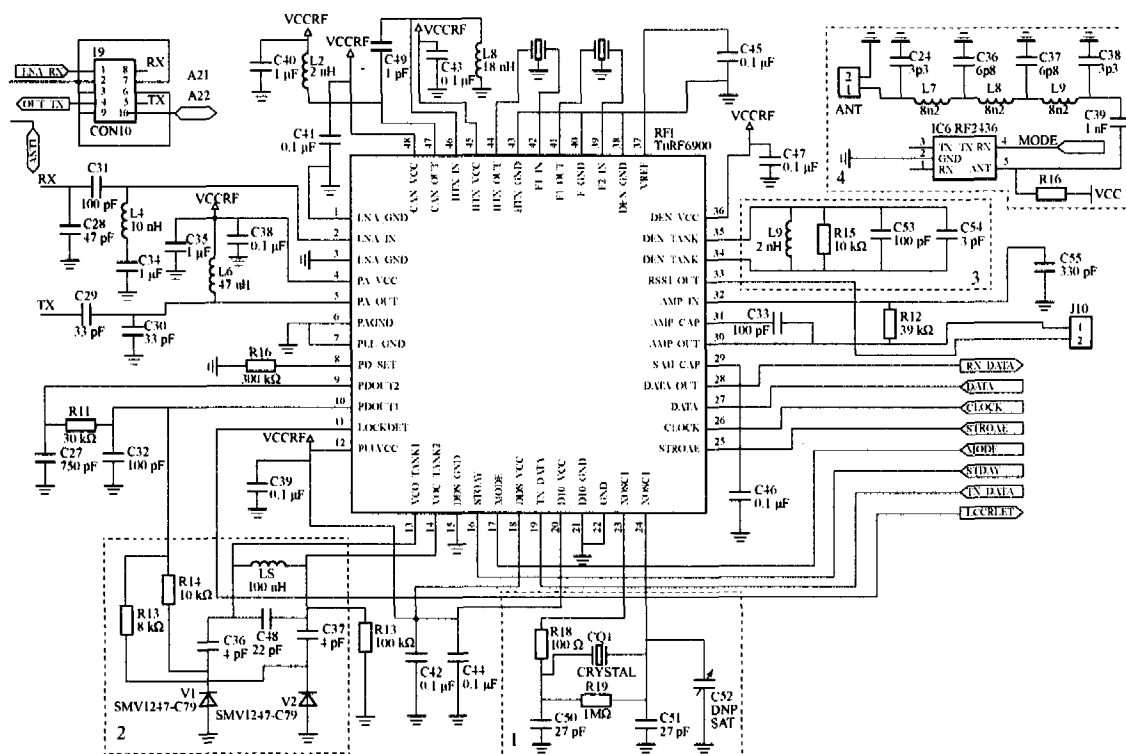


图 1 TRF6900 外围电路

1.2 接收电路的设计

在接收电路中,一级中频放大器和二级中频放大器均具有 330 Ω 的输入输出阻抗,它允许在 MIX_OUT 端和 IF1_OUT 端分别外接一个 330 Ω 陶瓷滤波器。由于中频中心频率为 10.7 MHz,因此本系统中选用 Murata 公司的无源滤波芯片 SEFCV107。经过二级中频放大后的信号进入 FM/FSK 解调器,需要外接一个谐振解调电路,以完成对信号的 FM/FSK 解调。谐振电路的带宽的典型值是取中频滤波器带宽的 1.5 倍,而中频合成带宽由下式决定:

$$f_{BW} = \frac{1}{\sqrt{\frac{1}{f_{BW1}^2} + \frac{1}{f_{BW2}^2}}} \quad (1)$$

式中: f_{BW} 为中频滤波器的合成带宽; f_{BW1} 为一级中频放大器带宽; f_{BW2} 为二级中频放大器带宽。

中频电路的品质因数的方程式为:

$$Q_{IF} = \frac{f_c}{f_{BW}} \quad (2)$$

故设计的解调谐振回路的品质因数应为:

$$Q_T = \frac{f_c}{1.5f_{BW}} = \frac{Q_{IF}}{1.5} \quad (3)$$

f_c 取值为 10.7 MHz。由 SEFCV107 的数据手册可知,中心频率为 10.7 MHz 时,3 dB 带宽为 150 ± 40 kHz,取 150 kHz。由以上公式可算出: $f_{BW} \approx 106.066$ kHz, $Q_{IF} = 100.88$, $Q_T = 67.25$,取 $L = 2.2 \mu\text{H}$, $Q_L \approx 78$,则可以计算电感的内阻 R_{Lin} 和电容 C 分别为:

$$R_{Lin} = Q_L 2\pi f_c L \approx 11.537 \text{ (k}\Omega\text{)}$$

$$C = \frac{1}{4\pi^2 f_c^2 L} \approx 100 \text{ (pF)}$$

取并联电阻值为 10 kΩ,设计的谐振回路如图 1 中标号 3 部分所示。其中 C54 可以根据实际需要选择是否焊接到电路中。

1.3 天线电路设计

在收发电路中,增加一个单刀双掷收发转换开关,将会使整个系统的工作更加稳定。当然,如果对系统性能要求不高,而且系统成本有一定限制,也可以不使用转换开关,但这样很难同时匹配发送和接收通路处于开或关状态时的阻抗,从而导致发射信号的强度和接收灵敏度大约会降低 3 dB。解决此问题的权宜之计是增加一个公共端口,将单独的接收端和发送端绑定在一起,但必须保证在每条通路中有一个串联电容,该电容用于阻挡接收端低噪声放大输入以及发射端信号放大输出中的直流分量,串联电容的理论值一般为 3.3 pF。在本系统中,使用 MICRO-DEVICE 公司的低功耗收发转换开关 RF2436。同时,为了比较测试,通过跳线可以不接入 RF2436,而直接外接天线,设计的电路图如图 1 中标号 4 部分所示。

2 TRF6900 与 MSP430F149 互连的设计和实现

本系统选用 MSP430F149 作为单片控制芯片,因为 MSP430F149 同样是 TI 公司一个比较经典的产品,更容易与 TRF6900 搭建低成本、高性能产品。MSP430F149 的低功耗和多种节电模式能很好地满足恶劣环境下移动设备对节能、普通电池供电、待机时间长的要求。同时,将它从等待模式唤醒,仅需要 6 μs,保证了移动设备实时无缝接入基站提供;多达 60 kB 的 Flash ROM 和 2 kB RAM,可以容纳更多的处理程序,使比较复杂的处理在单片机中即可以完成,从而极大地提高了系统的效率;多次可擦写 Flash 存储器和片内的 JTAG 调试接口使得编程调试和升级固件更容易;两通道串行通信接口可以用于异步和同步模式,使下位机与上位机(PC)互连非常容易。整个系统的结构框图如图 2 所示。

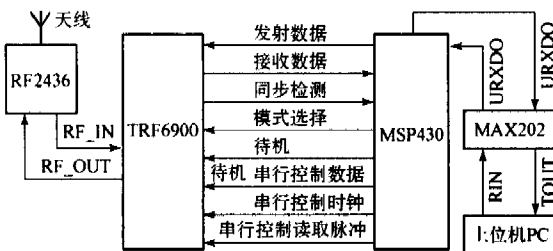


图 2 系统结构框图

系统电路包括 4 部分:TRF6900 与 RF2436 的天线外接接口;TRF6900 与 MSP430F149 的接口;MSP430F149 与 MAX202 的 RS-232 收发电路接口;以及 MAX202 与上位机 PC 的接口(可以通过 9 芯 D 型插头连接到 PC 机)。4 部分组成了一个完整的基站系

统。如果除去与上位机通信部分即 MSP430F149 与 MAX202 接口电路和 MAX202 与上位机接口电路,则可以构成移动通信设备部分的主电路。

3 控制程序设计

完成整个系统的硬件电路设计后,就需要对系统进行软件编程,以完成系统的最终功能。程序设计的思想是:在 MSP430 中运行主程序,用于不断检测信号的收发、数据处理以及与上位机的通信。主程序响应中断,调用中断服务程序,因此在系统中还应编制必要的子程序,包括系统初始化子程序、接收信号的中断处理程序 receive_RF、发送信号子程序 send_RF、与上位机的通信子程序 RS_232。程序结构框图如图 3 所示。

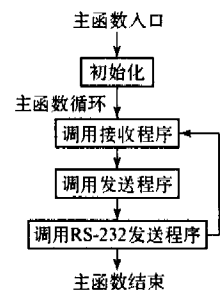


图 3 程序结构框图

限于篇幅,本文仅列举出接收程序和发送程序的程序流程,本程序使用的开发环境为 IAR Embedded Workbench3.0。

程序流程如图 4、图 5 所示。

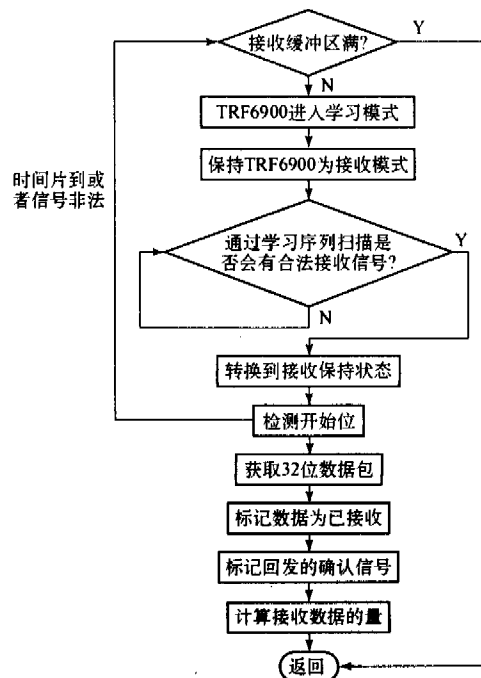


图 4 接收流程

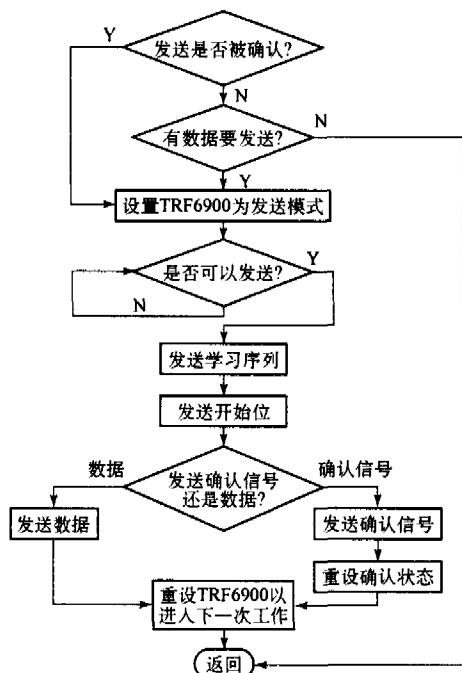


图5 发送流程

4 结束语

本系统通过对 TI 公司无线单片收发芯片 TRF6900 和低功耗单片控制芯片 MSP430F149 的功能及性能分析,从理论上给出了构建超高频段数字无线通信系统的可行方案。针对电磁干扰复杂的应用环境下开发体积小、功耗低、性能稳定的中长距离无线移动通信系统提供了一个良好的解决方案,并通过实际的制板与实验验证了该方案的可行性。

参 考 文 献

- [1] 魏小龙. MSP430 系列单片机接口技术及系统设计实例. 北京:北京航空航天大学出版社,2002
- [2] 黄智伟. 无线数字收发电路设计. 北京:电子工业出版社,2003
- [3] 沈建华. MSP430 系列 16 位超低功耗单片机原理与应用. 北京:清华大学出版社,2004

Design and Implementation of a Digital Wireless Mobile Communication System Based on TRF6900 and MSP430

Chen Jian, Yang Zhengkun, Tong Shicun, Wei Fen
(Xi'an Jiaotong University, Xi'an 710049, China)

[Abstract] Aiming to solve the problems of collecting data from underground restricted space, high frequency wireless mobile communication system has become a main solution because of its high reliability, convenience and low cost. This paper analyzes the functions of TRF6900 and demonstrates the practical application of it to constructing a wireless mobile communication system together with MSP 430 on frequency of 900 MHz. The experimental result shows that TRF 6900 is well adapted to be used in developing the low power-consumption underground wireless mobile communication system.

Keywords: wireless mobile communication, RF transceiver, TRF6900, MSP430

(上接第 20 页)

Design and Implementation of Costas Loop on FPGA Platform

Zhang An'an, Du Yong, Han Fangjing

(National University of Defense Technology, Changsha 410073, China)

[Abstract] Costas loop is a closed self-adjusting system, usually used to extract reference carrier in suppressed carrier phase modulated systems. An all-digital Costas loop carrier recovery circuit is implemented on FPGA (Field Programmable Gate Array). The basic principle is introduced, and parameters and design of each part of the loop are described in detail. Finally, the RTL (Resistor Transistor Logic) scheme and test data are provided. Simulation results show that high performance can be achieved using this kind of all-digital Costas loop.

Keywords: Costas loop, FPGA, carrier synchronization