

# TMS320C6000 DSP 外设概览

## 参考指南

文献编号: ZHCU001H

2005 年 3 月



目录 .....	3
商标 .....	5
1 概述 .....	6
2 引导模式和配置 .....	10
3 增强直接存储器存取 (EDMA) 控制器 .....	10
4 以太网媒体接入控制器 (EMAC)/管理数据输入/输出 (MDIO) 模块 .....	10
5 扩展总线 (XBUS) .....	10
6 外部存储器接口 (EMIF) .....	11
7 通用输入/输出 (GPIO) .....	11
8 主机端口接口 (HPI) .....	12
9 内部集成电路 (I2C) 模块 .....	12
10 中断选择器 .....	13
11 多通道音频串行端口 (McASP) .....	13
12 多通道缓冲串行端口 (McBSP) .....	14
13 外设组件互连 (PCI) .....	14
14 锁相环 (PLL) 控制器 .....	15
15 程序和存储器控制器/直接存储器存取 (DMA) 控制器 .....	15
16 计时器 .....	16
17 Turbo 解码器协处理器 (TCP) .....	16
18 两级内部存储器 .....	17
19 ATM 的通用测试和操作 PHY 接口 (UTOPIA) .....	17
20 视频端口 /VCXO 内插控制 (VIC) 端口 .....	17
21 Vi terbi 解码器协处理器 (VCP) .....	18
附录 A 修订历史记录 .....	19

---

## 附表目录

1	TMS320C62x DSP 外设文档 .....	7
2	TMS320C64x DSP 外设文档 .....	8
3	TMS320C67x DSP 外设文档 .....	9
A-1	文档修订历史记录 .....	19

---

## 商标

TMS320C6000, C6000, VelociTI, TMS320C62x, TMS320C64x, TMS320C67x, TMS320C2000, TMS320C5000 是德州仪器 (TI) 的商标

## TMS320C6000 DSP 外设概览

---

---

---

本文概述并简要描述了 TMS320C6000™ 系列数字信号处理器 (DSP) 上可用的外设。

### 1 概述

C6000™ 器件平台由使用先进超长指令字 (VLIW) 的第一代现成 DSP 组成，通过增加指令级并行性获得高性能。Velocity™ VLIW 架构使用多个并行操作的执行单元以在单个时钟周期执行多条指令。并行性是超高性能的关键，可以使这些 DSP 极大超越传统设计的性能。

C6000 器件上可用的用户可存取外设是使用一组存储器映射控制寄存器配置的。外设总线控制器为片上外设的存取执行仲裁。

TMS320C62x™ 器件上可用的外设及其关联的文献编号如表 1 中所示。

TMS320C64x™ 器件上可用的外设及其关联的文献编号如表 2 中所示。

TMS320C67x™ 器件上可用的外设及其关联的文献编号如表 3 中所示。

表 1. TMS320C62x DSP 外设文档

外设	首字母缩写 词	文献编号	C62x						
			01	02	03	04	05	11	
引导模式和配置	-	<a href="#">SPRU642</a>	√	√	√	√	√		
增强直接存储器存取控制器	EDMA	<a href="#">SPRU234</a>						√	
扩展总线	XBUS	<a href="#">SPRU579</a>		√	√	√			
外部存储器接口	EMIF	<a href="#">SPRU266</a>	√	√	√	√	√	√	
主机端口接口	HPI	<a href="#">SPRU578</a>	√					√	
中断选择器	中断	<a href="#">SPRU646</a>	√	√	√	√	√	√	
多通道缓冲串行端口	McBSP	<a href="#">SPRU580</a>	√	√	√	√	√	√	
外设组件互连	PCI	<a href="#">SPRU581</a>						√	
断电逻辑与模式	-	<a href="#">SPRU728</a>	√	√	√	√	√	√	
程序和数据存储器控制器/直接存储器存取控制器	DMA	<a href="#">SPRU577</a>	√	√	√	√	√		
计时器, 32 位	计时器	<a href="#">SPRU582</a>	√	√	√	√	√	√	
两级内部存储器	高速缓存	<a href="#">SPRU609</a>						√	

表 2. TMS320C64x DSP 外设文档

外设	首字母缩写词	文献编号	C64x								DM64x			
			10	11	12	13	14	15	16	18	0	1	2	3
增强直接存储器存取控制器	EDMA	<a href="#">SPRU234</a>	√	√	√	√	√	√	√	√	√	√	√	√
以太网媒体接入控制器/ 管理数据输入/输出模块	EMAC	<a href="#">SPRU628</a>			√						√	√	√	√
外部存储器接口	EMIF	<a href="#">SPRU266</a>	√	√	√	√	√	√	√	√	√	√	√	√
通用输入/输出	GPIO	<a href="#">SPRU584</a>	√	√	√	√	√	√	√	√	√	√	√	√
主机端口接口	HPI	<a href="#">SPRU578</a>	√	√	√	√	√	√	√	√		√	√	√
内部集成电路	I2C	<a href="#">SPRU175</a>	√		√	√				√	√	√	√	√
内部集成电路附录	-	<a href="#">SPRZ221</a>	√			√				√				
中断选择器	中断	<a href="#">SPRU646</a>	√	√	√	√	√	√	√	√	√	√	√	√
多通道音频串行端口	McASP	<a href="#">SPRU041</a>	√			√				√	√	√	√	√
多通道缓冲串行端口	McBSP	<a href="#">SPRU580</a>	√	√	√	√	√	√	√	√	√	√	√	√
外设组件互连	PCI	<a href="#">SPRU581</a>		√	√			√	√				√	
断电逻辑与模式	-	<a href="#">SPRU728</a>	√	√	√	√	√	√	√	√	√	√	√	√
计时器, 32 位	计时器	<a href="#">SPRU582</a>	√	√	√	√	√	√	√	√	√	√	√	√
Turbo 解码器协处理器	TCP	<a href="#">SPRU534</a>							√					
两级内部存储器	高速缓存	<a href="#">SPRU610</a>	√	√	√	√	√	√	√	√	√	√	√	√
ATM 的通用测试和操作接口	UTOPIA	<a href="#">SPRU583</a>						√	√					
视频端口 /VCXO 内插控制端口	视频端口	<a href="#">SPRU629</a>									√	√	√	√
Vi terbi 解码器协处理器	VCP	<a href="#">SPRU533</a>							√	√				



表 3. TMS320C67x DSP 外设文档

外设	首字母缩写 词	文献编号	C67x				DA6x			
			01	11	12	13	01	05	07	10
引导模式和配置	-	<a href="#">SPRU642</a>	√							
增强直接存储器存取控制器	EDMA	<a href="#">SPRU234</a>		√	√	√	√	√	√	√
外部存储器接口	EMIF	<a href="#">SPRU266</a>	√	√	√	√	√		√	√
通用输入/输出	GPIO	<a href="#">SPRU584</a>		√	√	√	√	√	√	√
主机端口接口	HPI	<a href="#">SPRU578</a>	√	√		√	√			√
内部集成电路	I2C	<a href="#">SPRU175</a>				√	√			√
中断选择器	中断	<a href="#">SPRU646</a>	√	√	√	√	√	√	√	√
多通道音频串行端口	McASP	<a href="#">SPRU041</a>				√	√	√	√	√
多通道缓冲串行端口	McBSP	<a href="#">SPRU580</a>	√	√	√	√	√	√	√	√
锁相环路控制器	PLL	<a href="#">SPRU233</a>		√	√	√	√	√	√	√
断电逻辑与模式	-	<a href="#">SPRU728</a>	√	√	√	√				√
程序和数据存储器控制器/直接存储器存取控制器	DMA	<a href="#">SPRU577</a>	√							
计时器, 32 位	定时器	<a href="#">SPRU582</a>	√	√	√	√	√	√	√	√
两级内部存储器	高速缓存	<a href="#">SPRU609</a>		√	√	√	√	√	√	√

## 2 引导模式和配置

[SPRU642](#) 中描述了 C6000 DSP 系列的 TMS320C620x/C670x DSP 使用的引导模式和器件配置。它还描述了可用的引导进程并说明了如何复位器件。有关其它 DSP 使用的引导模式和器件配置，请参阅各种器件的产品手册。

## 3 增强直接存储器存取 (EDMA) 控制器

增强直接存储器存取 (EDMA) 控制器处理二级 (L2) 高速缓存/存储器控制器与 TMS320C621x/C671x DSP 和 TMS320C64x DSP 上的器件外设之间的所有数据传输。这些数据传输包括高速缓存服务、非高速缓存存储器存取、用户编程的数据传输和主机存取。

C621x/C671x DSP 和 C64x DSP 中的 EDMA 控制器的架构不同于 TMS320C620x/C670x 器件中以前的 DMA 控制器。EDMA 对 DMA 进行了多方面的增强，如 C64x DSP 的 64 个信道或 C621x/C671x DSP 的 16 个信道，还提供了可编程优先级和链接数据传输的能力。EDMA 允许数据在任何可寻址存储器空间之间移动，包括内部存储器 (L2 SRAM)、外设和外部存储器。

通过接受来自 CPU 的快速 DMA (QDMA) 请求，EDMA 具有执行快速高效传输的能力。QDMA 传输最适合于要求快速数据传输的应用领域，如紧凑循环算法中的数据请求。

## 4 以太网媒体接入控制器 (EMAC)/管理数据输入/输出 (MDIO) 模块

以太网媒体接入控制器 (EMAC) 控制从 DSP 到物理层 (PHY) 器件的分组数据流动。管理数据输入/输出 (MDIO) 模块控制 PHY 配置和状态监控。

EMAC 和 MDIO 模块都通过允许有效数据发送和接收的自定义接口连接 DSP。此自定义接口称作 EMAC 控制模块，是 EMAC/MDIO 外设不可或缺的一部分。该控制模块还用于控制器件复位、中断和系统优先级。

## 5 扩展总线 (XBUS)

扩展总线 (XBUS) 是 CPU 使用的 32 位宽的总线，用于存取片外外设、FIFO 以及某些 C62x DSP 中的外设组件互连 (PCI) 接口器件。

XBUS 具有两个主要的子块，即 I/O 端口和主机端口接口。I/O 端口具有两种可以在单个系统中共存的操作模式：异步 I/O 模式和同步 FIFO 模式。异步 I/O 模式提供高度可编程的输出选通信号，如外部存储器接口 (EMIF) 的异步信号。FIFO 模式提供到单个同步读取 FIFO 或最多四个同步写入 FIFO 的无缝接口。XBUS I/O 端口和 DSP 存储器的连接是通过直接存储器存取 (DMA) 控制器提供的。

主机端口接口的操作模式可以为以下两种模式之一：同步和异步。同步模式提供主从功能，且具有多路地址和数据信号。异步模式只有从属功能，类似于 C6201/C6211/C6701/C6711 DSP 上的主机端口接口 (HPI)，但是扩展为 32 位数据路径。异步模式用于实现与利用异步总线的微处理器的接口。XBUS 主机端口接口与 DSP 存储器空间的连接由 DMA 辅助端口提供。

## 6 外部存储器接口 (EMIF)

所有 C6000 器件的外部存储器接口 (EMIF) 支持与各种外部器件的无缝连接, 包括:

- 管道同步突发 SRAM (SBSRAM)
- 同步 DRAM (SDRAM)
- 异步器件, 包括 SRAM、ROM 和 FIFO
- 外部共享存储器器件

C620x/C670x EMIF 为以下四种请求者对外部总线的请求提供服务:

- 为 CPU 程序获取提供服务的片上程序存储器控制器
- 为 CPU 数据获取提供服务的片上数据存储器控制器
- 片上直接存储器存取 (DMA) 控制器
- 外部共享存储器器件控制器 (使用 EMIF 仲裁信号)

如果多个请求同时到达, 则 EMIF 区分它们的优先级并执行必要数量的操作。C620x/C670x EMIF 具有 32 位数据总线接口。

C621x/C671x EMIF 和 C64x EMIF 为以下两种对外部总线的请求提供服务:

- 片上增强直接存储器存取 (EDMA) 控制器
- 外部共享存储器器件控制器

C64x EMIF 用可编程同步模式替换了 SBSRAM 模式, 提供更多的灵活性, 并进而支持与以下各项的无缝连接:

- ZBT (零总线交接) SRAM
- 同步 FIFO
- 管道和直通式 SBSRAM

C64x DSP 可以具有两个 EMIF、EMIFA 和 EMIFB。

- EMIFA: 数据总线宽度取决于器件。
- EMIFB: 16 位数据总线接口 (仅限于 C6414/C6415/C6416 DSP)。

## 7 通用输入/输出 (GPIO)

通用输入/输出 (GPIO) 外设提供专用的通用引脚, 可以配置为输入或输出。当配置为输出时, 可以写入内部寄存器以控制输出引脚上驱动的状态。当配置为输入时, 可以通过读取内部寄存器的状态检测输入的状态。

此外, GPIO 外设可以在不同的中断/事件生成模式下产生 CPU 中断和 EDMA 事件。

## 8 主机端口接口 (HPI)

主机端口接口 (HPI) 是一个并行端口，主机处理器可以通过它直接存取 CPU 存储器空间。主机器件充当接口的主控制器，从而增加了存取的便捷。主机和 CPU 可以通过内部或外部存储器交换信息。主机也可以直接存取存储器映射的外设。与 CPU 存储器空间的连接是通过直接存储器存取 (DMA) 或增强 DMA (EDMA) 控制器提供的。主机和 CPU 都可以存取 HPI 控制寄存器 (HPIC)。通过使用外部数据信号和接口控制信号，主机可以存取 HPI 地址寄存器 (HPIA)、HPI 数据寄存器 (HPID) 和 HPIC。对于 C64x DSP，CPU 还可以存取 HPIA。

通过 HPI，外部主机可以存取整个 DSP 存储器映射，以下各项除外：

- L2 控制寄存器（仅限于 C6x1x DSP）
- 中断选择器寄存器
- 仿真逻辑

## 9 内部集成电路 (I2C) 模块

内部集成电路 (I2C) 模块提供了 C6000 DSP 与 I2C 兼容器件之间的接口，I2C 兼容器件是通过 I2C 串行总线连接的。串连至 I2C 总线的外部组件通过双线 I2C 接口与 C6000 DSP 相互传输最高为 8 位的数据。

I2C 模块具有以下特性：

- 符合飞利浦半导体 I2C 总线规格（版本 2.1）：
  - 支持字节格式传输
  - 7 位和 10 位寻址模式
  - 常规调用
  - START 字节模式
  - 支持多个主发送器和从接收器
  - 支持多个从发送器和主接收器
  - 组合了主发送/接收和接收/发送模式
  - 从 10kbps 到 400 kbps（飞利浦快速模式速率）的数据传输速率
- EDMA 控制器可以使用的一个读取 EDMA 事件和一个写入 EDMA 事件
- 可以由 CPU 使用的一个中断。下列其中一种情况可以引发此中断：发送数据就绪、接收数据就绪、寄存器存取就绪、未接收到确认、仲裁丢失。
- 模块启用/禁用能力
- 自由数据格式模式

C6410/C6413/C6418 DSP 的 I2C 模块提供以下附加特性：

- 通过使用六个附加寄存器，SDA 和 SCL 引脚可以用于通用输入/输出 (GPIO)。
- I2C 状态寄存器 (I2CSTR) 中具有两个附加状态位。
- 在 I2C 中断启用寄存器 (I2CIER) 中启用的两个附加中断。
- 当在从发送器模式下操作且 I2C 扩展模式寄存器 (I2CEMDR) 已启用此种模式时，有两种不同的方法生成发送数据就绪中断。

## 10 中断选择器

C6000 DSP 外设集最多具有 32 个中断源；但是，CPU 只有 12 个中断可供使用。中断选择器允许您选择并按优先级排列 32 个中断中系统需要使用的 12 个中断。中断选择器还允许您有效地更改外部中断输入的极性。

[SPRU646](#) 中描述了 C6000 DSP 系列的 DSP 中的中断选择器、中断选择器寄存器和可用中断。

## 11 多通道音频串行端口 (McASP)

多通道音频串行端口 (McASP) 是专门针对多通道音频应用领域需求而进行了优化的通用音频串行端口。McASP 对内部集成声音 (IIS) 协议和内部组件数字音频接口传输 (DIT) 都非常有用。

McASP 具有很大的灵活性，可以无缝地连接到音频模数转换器 (ADC)、数模转换器 (DAC)、编解码器、数字音频接口接收器和 S/PDIF 发送物理层组件。

McASP 的特性包括：

- 两个独立时钟（发送和接收）
- 16 个串行数据引脚，可分别指定
- 每个时钟包括：
  - 可编程时钟发生器
  - 可编程帧同步发生器
  - 2 至 32 个 TDM 流，以及 384 个时隙
  - 支持 8、12、16、20、24、28 和 32 位槽位
  - 用于位操作的数据格式化程序
- 各种 IIS 和类似位流格式
- 集成数字音频接口发送器 (DIT) 支持：
  - S/PDIF、IEC60958-1、AES-3 格式
  - 最多 16 个发送引脚
  - 增强通道状态/用户数据 RAM
- 扩充错误检查和恢复

## 12 多通道缓冲串行端口 (McBSP)

多通道缓冲串行端口 (McBSP) 基于 TMS320C2000™ 和 TMS320C5000™ 平台上的标准串行端口接口。此外，在 DMA/EDMA 控制器的协助下，该端口可以自动在存储器中缓冲串行样本。它还具有与 T1、E1、SCSA 和 MVIP 网络标准兼容的多通道能力。McBSP 提供以下功能：

- 全双工通信
- 双缓冲数据寄存器，允许连续数据流
- 用于接收和发送的独立成帧和时钟
- 与行业标准编解码器、模拟接口芯片 (AIC) 和其它串行连接的模数 (A/D) 和数模 (D/A) 器件的直接接口
- 用于数据传输的外部移位时钟或内部可编程频率移位时钟
- 通过 5 通道 DMA 控制器的自动缓冲能力

此外，McBSP 具有以下能力：

- 与以下各项的直接接口：
  - T1/E1 成帧器
  - MVIP 交换兼容并符合 ST-BUS 的器件包括：
    - MVIP 成帧器
    - H.100 成帧器
    - SCSA 成帧器
  - 符合 IOM-2 的器件
  - 符合 AC97 的器件（提供了必需的多相帧同步能力。）
  - 符合 IIS 的器件
  - SPI 器件
- 多达 128 个通道的多通道发送和接收
- 包括 8、12、16、20、24 和 32 位的广泛数据大小选择
- $\mu$ -Law 和 A-Law 缩展
- 具有先 LSB 或先 MSB 选项的 8 位数据传输
- 用于帧同步和数据时钟的可编程极性
- 高度可编程内部时钟和帧生成

## 13 外设组件互连 (PCI)

外设组件互连 (PCI) 端口支持通过集成 PCI 主/从总线接口连接 C6000 DSP 和 PCI 主机。对于 C62x 器件，PCI 端口通过 DMA 控制器的辅助通道连接至 DSP。对于 C64x 器件，PCI 端口通过增强 DMA (EDMA) 控制器连接至 DSP。此架构在允许处理 PCI 主从事务的同时，又使 DMA/EDMA 通道资源可用于其它应用。

C62x PCI 端口为辅助 DMA 提供了 DSP 存储器中的源/目标地址。由 DMA 执行地址解码以选择合适的接口（数据存储器、程序存储器、寄存器 I/O 或外部存储器）。应将 DMA 控制器的辅助通道编程为最高优先级，以便在 PCI 接口上获得最大吞吐量。

而 C64x PCI 端口是使用 EDMA 内部地址生成硬件来执行地址解码。

## 14 锁相环 (PLL) 控制器

某些 C6000 DSP 中的锁相环 (PLL) 控制器具有可用软件配置的 PLL 乘法器控制器、除法器 and 复位控制器。PLL 控制器接受来自 CLKIN 引脚或片上振荡器输出信号 OSCIN 的输入时钟，具体情况由 CLKMODE0 引脚上的逻辑状态确定。PLL 控制器提供了很大的灵活性和便利，通过可用软件配置的乘法器和除法器进行输入信号的内部修改。产生的时钟输出被传递至 C6000 DSP 内的 DSP 内核、外设以及其它内部模块。

## 15 程序和数据存储器控制器/直接存储器存取 (DMA) 控制器

C6201/C6204/C6205/C6701 DSP 内部程序存储器可以由用户配置为高速缓存或存储器映射的程序空间。它包含 64K 字节的 RAM，或等效于 2K 256 位获取数据包或 16K 32 位指令。通过程序存储器控制器，CPU 与内部程序存储器之间存在一个单周期吞吐量的、256 位宽的连接。

在 C6202(B)/C6203(B) DSP 中，扩展了存储器/高速缓存程序空间。此外，C6202(B)/C6203(B) DSP 还提供另一个用作存储器映射块的存储器块。这两个块可以进行独立存取。从而允许 CPU 在对一个程序存储器块执行程序获取时，不会干扰对另一个块的 DMA 传输。

程序存储器控制器执行以下任务：

- 执行 CPU 和 DMA 对内部程序存储器的请求和必要的仲裁。
- 通过外部存储器接口 (EMIF) 执行 CPU 对外部存储器的请求。
- 当内部程序存储器被配置为高速缓存时，对其进行管理。

数据存储器控制器将完成下列连接：

- 将 CPU 和直接存储器存取 (DMA) 控制器连接到内部数据存储器并执行必要的仲裁。
- 将 CPU 连接到外部存储器接口 (EMIF)。
- 将 CPU 通过外设总线控制器连接到片上外设。

外设总线控制器在 CPU 与片上外设的 DMA 之间执行仲裁。

DMA 控制器在存储器映射中的各个区域之间传输数据，不受 CPU 的干预。DMA 控制器允许在 CPU 操作的同时，与内部存储器、内部外设或外部器件进行数据交换。DMA 控制器具有四个独立的可编程通道，允许四种不同的 DMA 操作背景。此外，第五个（辅助）通道允许 DMA 控制器为来自主机端口接口 (HPI) 的请求提供服务。请求发送给以下可能资源之一：

- 扩展总线（仅限于 C6202/C6203/C6204 DSP）
- 主机端口接口（仅限于 C6201/C6701 DSP）
- PCI（仅限于 C6205 DSP）
- 外部存储器接口
- 内部程序存储器，块 0
- 内部程序存储器，块 1（仅限于 C6202/C6203 DSP）
- 内部外设总线
- 内部数据存储器

## 16 计时器

C6000 DSP 器件具有 32 位通用计时器，可用于：

- - 事件计时
- - 事件计数
- - 生成脉冲
- - 中断 CPU
- - 将同步事件发送至 DMA

计时器具有两种信令模式，可以由内部或外部源提供时钟。计时器具有一个输入引脚和一个输出引脚。输入和输出引脚（TINP 和 TOUT）可以用作计时器的时钟输入和时钟输出。也可以根据通用输入和输出对其进行特别配置。

例如，使用内部时钟时，计时器可以向外部 A/D 转换器发送开始转换的信号，或者可以触发 DMA 控制器开始数据传输。使用外部时钟时，计时器可以对外部事件计数并在指定数目的事件之后中断 CPU。

## 17 Turbo 解码器协处理器 (TCP)

第三代 (3G) 移动通信标准中的高比特率数据通道的通道编码要求对 turbo 编码的数据进行解码。Turbo 解码器协处理器 (TCP) 设计成为 IS2000 和 3GPP 无线标准执行此操作。TCP 提供：

- 高性能：
  - 由于采用高度并行架构，所以具有非常短的处理延迟，允许在不到 2ms 的时间内解码 8 个重复的 2Mbps 3GPP 通道并在不到 3.5ms 的时间内解码 8 个重复的 1Mbps IS-2000 通道。
  - 通过启用停止标准算法，可以进一步减少处理延迟。
  - TCP 和 DSP 可以全速并行运行。
- 系统成本优化：
  - 通过执行片上 turbo 解码减少电路板面积和功耗。
  - 通过高性能 DMA 引擎 EDMA 执行 DSP 与 TCP 之间的通信。
  - TCP 使用它自己的优化工作存储器。
- 适应标准演进的高度灵活性：
  - 接受所有 IS2000、3GPP 速率和多项标准。
  - 接受从 40（3GPP 最小帧大小）到 20730（IS2000 最大帧大小）的任何帧长度。
  - 可以使用任何种类的交错复用器。
  - 释放 DSP 资源。

TCP 具有两种基本模式：单机 (SA) 和共享处理 (SP)。在 SA 模式中，TCP 迭代指定次数并输出硬决策。在 SP 模式中，TCP 执行一次 MAP 解码并输出外部信息（软信息）。SA 模式通常用于小于或等于 5114 的帧大小；而 SP 模式必须用于完全大于 5114 的帧。



## 18 两级内部存储器

C621x/C671x DSP 和 C64x DSP 具有用于程序和数据的两级存储器架构。第一级程序高速缓存指定为 L1P，第一级数据高速缓存指定为 L1D。程序和数据存储器都共享第二级存储器，指定为 L2。L2 是可以配置的，允许各种数量的高速缓存和 SRAM。

第一级数据高速缓存 (L1D) 为 CPU 的数据存取提供服务。第一级程序高速缓存 (L1P) 为 CPU 的程序获取提供服务。第二级统一存储器 (L2) 可以用作 SRAM、高速缓存或同时用作上述两项。它为 L1P 和 L1D 的高速缓存缺失以及使用 EDMA 控制器进行的 DMA 存取提供服务。

## 19 ATM 的通用测试和操作 PHY 接口 (UTOPIA)

C6415/C6416 DSP 中的异步传输模式 [ATM] (UTOPIA) 外设的通用测试和操作 PHY 接口是 ATM 控制器 (ATMC) 从属器件，它与主 ATM 控制器连接。UTOPIA 端口符合 ATM 论坛标准规范 af-phy-0039.000。特别是此接口支持 UTOPIA 第二级接口，允许发送和接收操作高达 50MHz 的 8 位从属操作。

UTOPIA 从属接口依赖主 ATM 控制器提供必要的控制信号，如时钟、启用和地址值。仅支持单元层握手。

CPU 和增强 DMA (EDMA) 控制器都可以为 UTOPIA 提供服务。UTOPIA 从属接口由发送接口和接收接口组成。UTOPIA 通过 UINT 信号向 CPU 发送中断通知，并通过 UXEVT 和 UREVT 信号向 EDMA 控制器发送同步事件。

## 20 视频端口 /VCXO 内插控制 (VIC) 端口

视频端口外设可用作视频捕捉端口、视频显示端口或传输流接口 (TSI) 捕捉端口。视频端口由两个通道组成：A 和 B。5120 字节的捕捉/显示缓冲器可以在两个通道之间分割。整个端口（两个通道）始终只配置用于视频捕捉或视频显示。单独的数据管道控制分析和格式化每个 BT.656、Y/C、原始视频和 TSI 模式的视频捕捉或视频显示数据。

对于视频捕捉操作，视频端口可以用作 BT.656 或原始视频捕捉的两个 8/10 位通道；或用作 8/10 位 BT.656、8/10 位原始视频、16/20 位 Y/C 视频、16/20 位原始视频或 8 位 TSI 的单个通道。

对于视频显示操作，视频端口可用作 8/10 位 BT.656、8/10 位原始视频、16/20 位 Y/C 视频、16/20 位原始视频的单个通道。它也可以在双通道 8/10 位原始模式下操作，在这种模式下，两个通道被锁定到相同的时序。在单通道操作期间，不使用通道 B。

VCXO 内插控制 (VIC) 端口提供单位内插 VCXO 控制，其分辨率从 9 位到 16 位。内插的频率取决于所需的分辨率。当在 TSI 模式下使用视频端口时，VIC 端口用于控制 MPEG 传输流的系统时钟和 VCXO。VIC 端口支持以下特性：

- 单位内插 VCXO 控制
- 9 至 16 位的可编程精度

## 21 Vi terbi 解码器协处理器 (VCP)

第三代 (3G) 移动通信标准中的语音和低比特率数据通道的通道编码要求对卷积编码数据进行解码。维比特译码器协处理器 (VCP) 设计成为 IS2000 和 3GPP 无线标准执行此操作。VCP 提供:

- 高度灵活性:
  - 变量约束长度  $K = 5, 6, 7, 8$  或  $9$
  - 用户提供的代码系数
  - 码率 ( $1/2, 1/3, 1/4$ )
  - 可配置的回溯设置 (汇聚距离、帧结构)
  - 由 DSP 在软件中进行分支度量计算和收缩译码
  - 释放 DSP 资源用于其它处理
- 系统成本优化:
  - 通过执行片上解码减少电路板面积和功耗。
  - 通过高性能 DMA 引擎执行 DSP 与 VCP 之间的通信。
  - VCP 使用它自己的优化工作存储器。

DSP 使用存储器映射寄存器控制 VCP 的操作。DSP 通常通过 64 位 EDMA 总线使用同步 EDMA 传输发送和接收数据。VCP 发送两个同步事件给 EDMA: 读取事件 (VCPREVT) 和写入事件 (VCPXEVT)。

附录 A 修订历史记录

表 A-1 列出自本文档的上一版本以来所做的更改。

表 A-1. 文档修订历史记录

参考书籍	添加/修改/删除
表 2	已更新以包括 DM643。