

TMS320C240 | TMS320F240

DSP控制器

一、概述

1.1 一般说明

TMS320C240和TMS320F240器件是基于TMS320C2xx型16位定点数字信号处理器(DSP)的新型DSP控制器系列的首批成员。除非另有说明,术语'x240'指TMS320C240和TMS320F240这二者。表1提供每一种器件特性的比较。这两种器件之间的唯一差别是程序存储器的类型:**x240包含16K字的ROM而F240包含16K字的闪速EEPROM。**这种新的系列最适合于数字电机控制的应用。DSP控制器把具有低成本、高性能处理能力的C2xLP内核CPU(core cpu)的增强型TMS320体系结构设计和几种最适合于电机控制应用的先进外围设备结合在一起。这些外围设备包括事件管理模块(event manager module)和双路10位模拟-数字转换器(ADC),前者提供通用定时器和比较寄存器以产生高达12路的PWM输出,后者可在10 μ s之内同时实现两路转换。请参见功能方框图。

表1 'x240 DSP控制器的特性

TMS320x240 DEVICES	ON-CHIP MEMORY (WORDS)				POWER SUPPLY (V)	CYCLE TIME (NS)	PACKAGE TYPE PIN COUNT
	RAM		ROM	FLASH EEPROM			
	DATA	DATA/PROG	PROG	PROG			
TMS320C240	288	256	16K	0	5	50	PQ 132-P
TMS320F240	288	256	0	16 K	5	50	PQ 132-P

1.2 特点

- * 高性能静态CMOS工艺
- * 包含T320C2xLP核CPU
 - 源代码与TMS320C25兼容
 - 与TMS320C5X向上兼容
 - 132引脚塑料四方扁平封装
 - 50ns指令周期时间
- * 工业温度标准,汽车温度可供使用
- * 存储器
 - 544字x16位片内数据/程序双口(Dual-Access)RAM
 - 16K字x16位片内程序ROM('x240)/闪速EEPROM('F240)
 - 共计224K字x16位存储器地址范围(64K数据、64K程序和I/O以及32K全局存储器空间)
- * 事件管理模块(Event-Manager Module)
 - 12路比较/脉冲宽度调制(PWM)通道
 - 3个16位通用定时器,6种工作方式,包括连续向上(Continuous Up)和上/下(Up/Down)计数
 - 3个具有死区(Deadband)控制的16位全比较单元
 - 3个16位简单比较(Simple-Compare)单元
 - 4个捕获单元(其中两个具有正交编码器脉冲接口能力)
- * 双10位模拟-数字转换模块
- * 28个单独可编程、多路复用I/O引脚
- * 基于锁相环(Phase-Locked-Loop, PLL)的时钟模块
- * 看门狗定时器模块(具有实时中断能力)
- * 串行通信接口(Serial-Communication Interface, SCI)模块

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

信箱:武汉市70020信箱

电话:(86)(027)87493500~87493506

P&S网网址:http://www.p8s.com

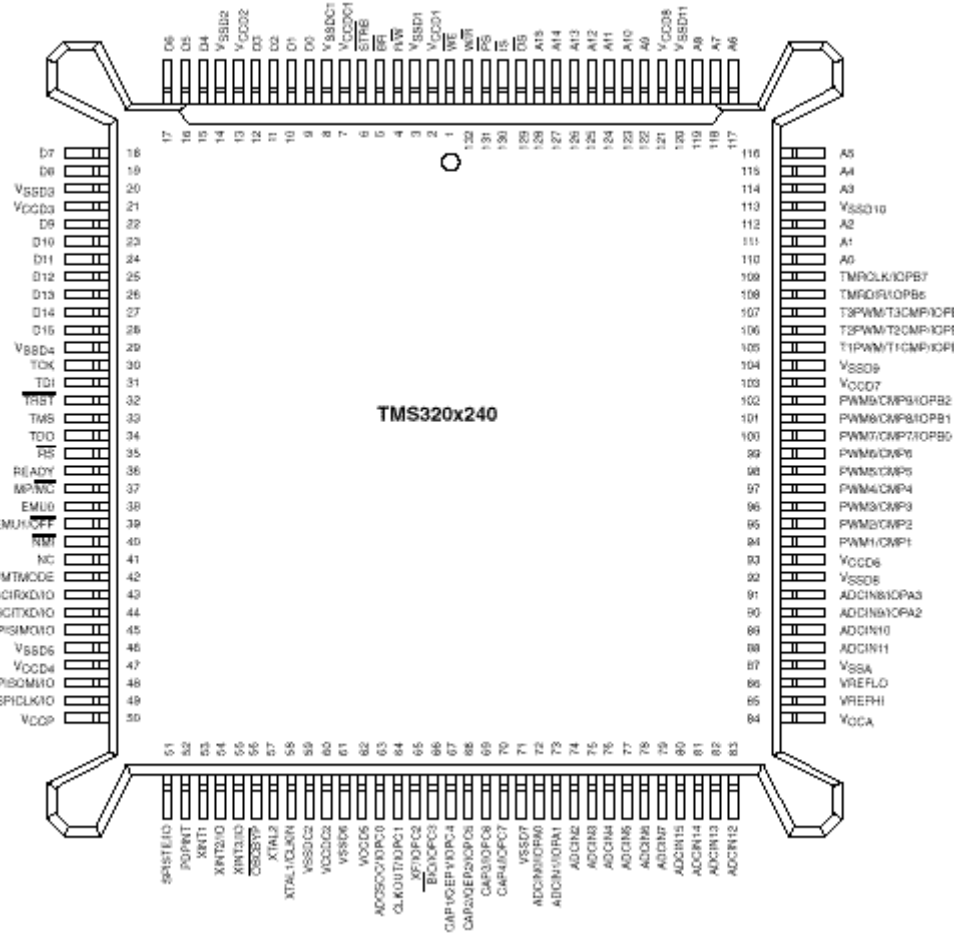
邮编:430079

传真:(86)(027)87491166,87493497

- * 串行外设接口 (Serial-Peripheral Interface, SPI) 模块
- * 6种外部中断 (电源驱动保护、复位、NMI以及3种可屏蔽中断)
- * 4种适用于低功耗应用的掉电 (Power-Down) 方式
- * 基于扫描 (Scan-Based) 的仿真
- * 可供使用的开发工具：
 - TI ANSI C编译器, 汇编器/连接器, 以及C源代码调试器
 - 全范围仿真产品：自仿真 (XDS-510™)
 - ROM替换 (XDS-511™)
 - 断点、跟踪以及定时 (XDS-522A™)
 - 第三方数字电机控制和模糊逻辑开发支持

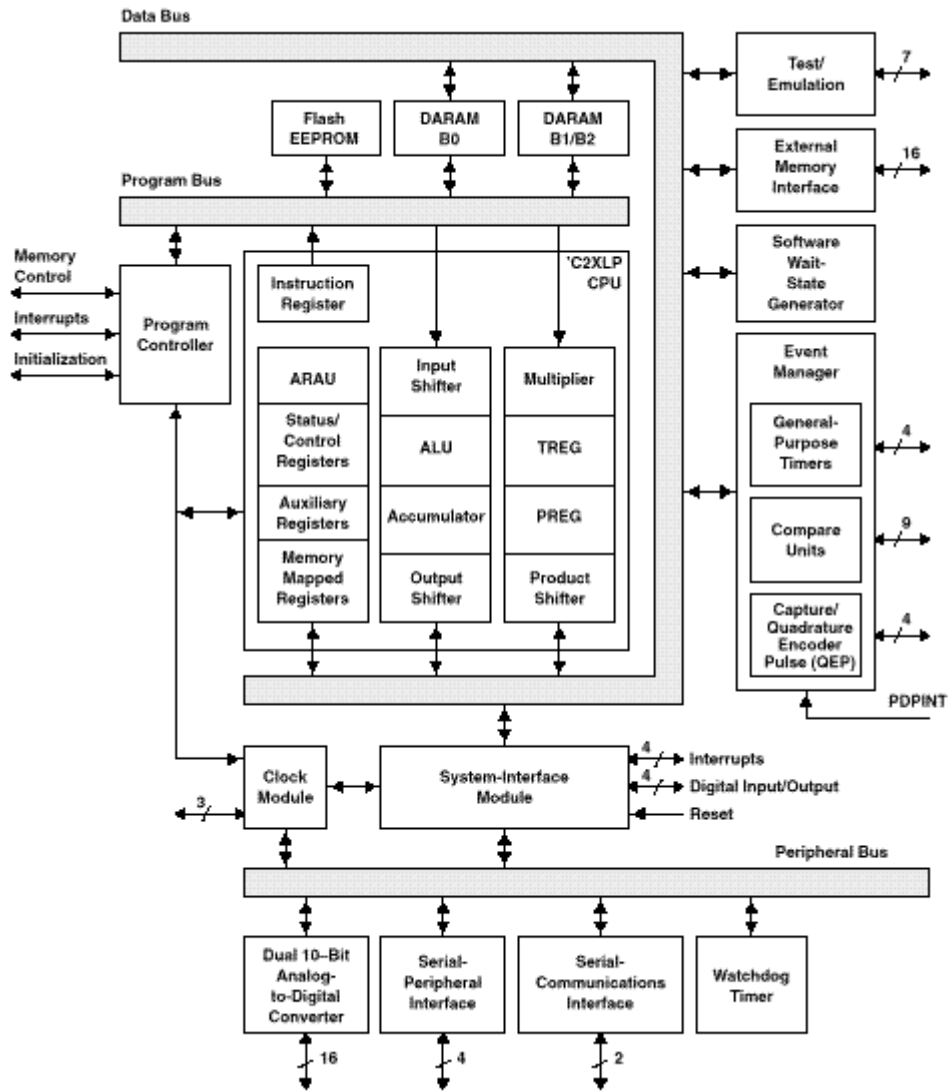
1.3 引脚排列

TMS320x240的引脚排列如下图所示。



1.4 功能方框图

TMS320x240的功能方框图如下图所示。



二、详细说明

2.1 结构综述

功能方框图提供x240 DSP控制器器件中每一部件的概要描述。TMS320x240器件由三个主要的功能单元组成：C2xx DSP核，内部存储器，以及外围设备。除了这三个功能单元外，还提供若干系统级的特性。这些系统特性包括存储器映象、器件复位、中断、数字输入/输出（I/O）、时钟产生以及低功耗运用。

2.2 存储器映象（memory map）

TMS320x240为程序存储器、数据存储器以及I/O提供三个分离的地址空间。每一空间容纳总计64K的16位字。在64K字的数据空间中，地址范围顶部的256至32K字（按2的幂增量）可定义为外部全局存储器，这由全局存储器分配寄存器（GREG）的内容规定。利用全局存储器总线请求（BR）信号可解决对全局存储器的访问。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号	P&S网网址：http://www.p8s.com
信箱：武汉市70020信箱	邮编：430079
电话：(86) (027) 87493500 ~ 87493506	传真：(86) (027) 87491166, 87493497

对于x240，开始的96个（0-5Fh）数据存储单元或者分配给存储器映象（memory-mapped）寄存器，或者保留。此存储器映象寄存器空间包含各种控制和状态寄存器，它们包括用于CPU的寄存器。

x240器件所有片内外设均映射至数据存储单元空间。那些可对数据存储单元寻址的CPU指令可访问这些寄存器。图1表示存储器映象图。

Program Space MP/MC=1 Microprocessor Mode		Program Space MP/MC=0 Microcomputer Mode		Data Space	
Hex		Hex		Hex	
0000	Interrupts (External)	0000	Interrupts (On-Chip)	0000	Memory-Mapped Registers and Reserved
003F		003F		005F	
0040	External	0040	On-Chip ROM (Flash EEPROM) (8 x 2K Segments) (Seg 0 = Boot Seg @ 0h-07FFh by BOOTPROT pin)	0060	On-Chip DARAM B2
		3FFF		007F	Reserved
				0080	
FDFD		4000	External	00FF	
FE00	On-Chip DARAM B0 (CNF = 1)	FDFF		0100	On-Chip DARAM B0 (CNF = 0)
FEFF	External (CNF = 0)	FE00	On-Chip DARAM B0 (CNF = 1)	01FF	Reserved (CNF = 1)
FF00	On-Chip DARAM B0' (CNF = 1)	FEFF	External (CNF = 0)	0200	On-Chip DARAM B0' (CNF = 0)
FFFF	External (CNF = 0)	FF00	On-Chip DARAM B0' (CNF = 1)	02FF	Reserved (CNF = 1)
		FFFF	External (CNF = 0)	0300	On-Chip
				03FF	DARAM B1
				0400	On-chip
				04FF	DARAM B1'
				0500	
				07FF	Reserved
				0800	Illegal
				6FFF	
				7000	Peripheral Memory-Mapped Registers (System, ADC, SCL, SPI, I/O, Interrupts)
				73FF	
				7400	Peripheral Memory-Mapped Registers (Event Manager)
				743F	
				7440	Reserved
				77FF	
				7800	Illegal
				7FFF	
				8000	External
				FFFF	

I/O Space	
Hex	
0000h	External
FEFF	
FF00h	Reserved
FFFFh	

图1 存储器映象图

2.3 外设存储器映象 (peripheral memory map)

TMS320x240系统和外设控制寄存器结构包含系统和外设模块（除事件管理器外）运行的所有数据、状态以及控制位。

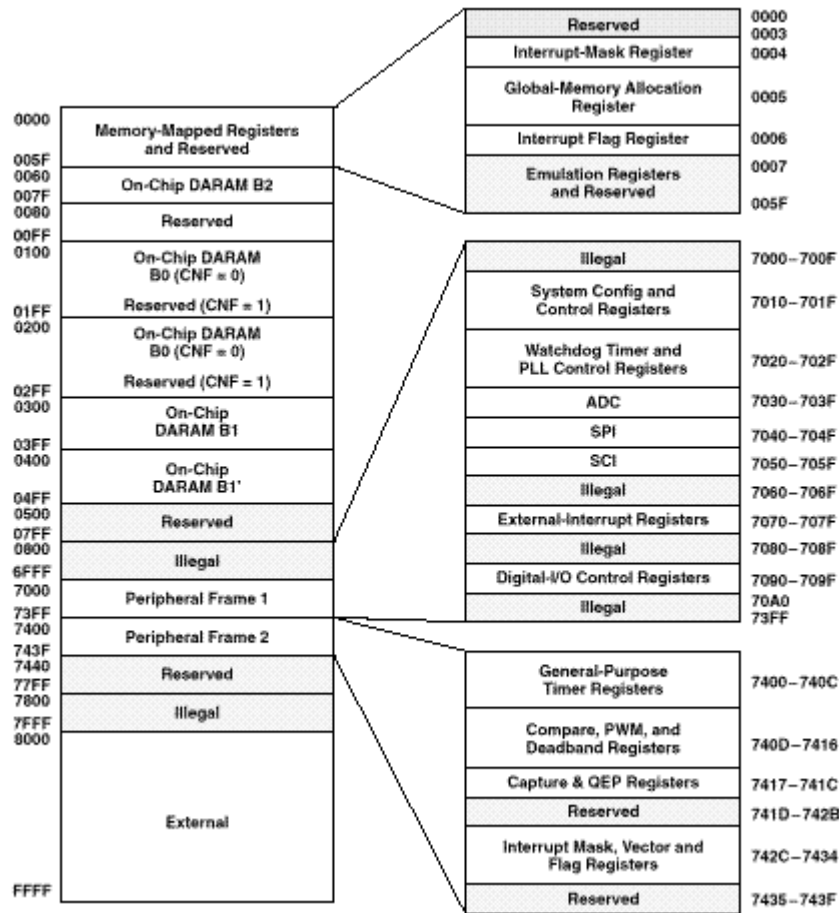


图2 TMS320x240外设存储器映射图

2.4 数字I/O

TMS320x240包括28个通用I/O (general-purpose I/O, gpio) 引脚, 每一引脚与'x240的另一功能多路复用。x240上多路复用的gpio引脚有五种不同的实现, 在下面各小节中逐一叙述。

2.4.1 与ADC输入复用的gpio

有4个引脚在gpio和ADC输入功能之间多路复用。它们是：

- IOPA0/ADC IN0 IOPA1/ADC IN1
- IOPA2/ADC IN9 IOPA3/ADC IN8

在这种配置中, 器件引脚总是连接到ADC模块输入端。多路复用控制用来使能或禁止与这4个器件引脚有关的gpio特性。当OPCRA寄存器相应位被清除时, 器件的引脚连接到ADC模块输入和系统模块gpio端口这二者。设置相应的OPCRA位将使gpio特性被禁止, 使器件的引脚仅仅连接到ADC模块的输入端。

2.4.2 与DSP核输入或输出复用的gpio

3个DSP核引脚与gpio功能复用。它们是：

- XF/IOPC2 B \bar{I} O/IOPC3
- CLKOUT/IOPC1

在这种配置中, 器件复位后DSP核引脚XF和BION分别被使能为输出和输入。设置适当的OPCRB位可选择gpio功能。

器件复位后CLKOUT特性不被选择，代之以gpio功能被使能。时钟输出方式的选择由系统模块的SCR寄存器中两个CLKSRC位决定。

2.4.3 与事件管理器 (event-manager) 输入或输出复用的gpio

与gpio多路复用的13个事件管理器引脚端如下：

输出：	输入：
PWM7/CMP7/IOPB0	TMRDIR/IOPB6
PWM8/CMP8/IOPB1	TMRCLK/IOPB7
PWM9/CMP9/IOPB2	ADCSOC/IOPC0
T1PWM/T1CMP/IOPB3	CAP1/QEP1/IOPC4
T2PWM/T2CMP/IOPB4	CAP2/QEP2/IOPC5
T3PWM/T3CMP/IOPB5	CAP3/ IOPC6
	CAP3/IOPC7

器件复位后所有13个器件引脚被选择为gpio。设置OPCRA或OPCRB中适当的位可选择事件管理器引脚。

2.4.4 与串行端口引脚复用的gpio

'x240器件上有两个串行端口：SPI和SCI。每一个模块具有内建的支持gpio功能或串行端口功能的能力。每一种模块的引脚概括在下列表中：

<u>SPI</u>	<u>SCI</u>
SPISTE/IO	SCITXD/IO
SPISIMO/IO	SCIRXD/IO
SPICLK/IO	
SPISOMI/IO	

器件复位后所有6个串行端口引脚被配置为gpio。设置它们各自控制寄存器中适当的功能位可选择串行端口引脚功能。

2.4.5 与外部中断引脚复用的gpio

'x240有两个可配置为gpio的外部中断引脚：

XINT2/IO	XINT3/IO
----------	----------

在器件复位后，两个引脚均被配置为gpio。中断功能可通过设置INTCR5C或INTCR6C寄存器中的中断使能位来选择。

2.5 器件复位和中断

TMS320C240软件可编程中断结构支持灵活的片内和外部中断配置以符合实时中断驱动应用的要求。'x240识别4种类型的中断源：

* 复位（硬件或软件启动）无需CPU判优并具有高于其它任何正在执行功能的优先级。所有可屏蔽中断均被禁止直到复位服务子程序允许它们为止。

* 硬件产生中断由外部引脚或片内外围设备所请求。有两种类型：

——外部中断由对应于中断XINT1、XINT2、XINT3、PDPINT以及NMI这五个外部引脚之一产生。前4个可以由专门的使能位屏蔽，也可由CPU的中断屏蔽寄存器（IMR）屏蔽，此寄存器可屏蔽DSP核的每一可屏蔽中断线。NMI是不可屏蔽的，它具有高于外设中断和软件产生中断的优先级。它仅能由已执行的NMI或复位来锁定。

——外设中断由下列这些片内外设模块在内部启动：事件管理器、SPI、SCI、WD/RTI以及ADC。它

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号	P&S网网址：http://www.p8s.com
信箱：武汉市70020信箱	邮编：430079
电话：(86) (027) 87493500 ~ 87493506	传真：(86) (027) 87491166, 87493497

们可以由每一外设内的每个事件的使能位屏蔽，也可由CPU中断屏蔽寄存器（IMR）屏蔽，此寄存器可屏蔽DSP核的每一可屏蔽中断线。

* 'x240器件的软件产生中断包括：

——INTR指令。此指令允许用软件启动任何'x240中断。其操作数指示CPU转移到哪一个中断矢量地址。此指令全面禁止可屏蔽中断（设置INTM位为1）。

——NMI指令。该指令强制转移至中断矢量地址24h，此地址与不可屏蔽硬件中断NMI的地址相同。NMI可通过把NMI引脚驱动至低电平，或执行NMI指令来启动。此指令全面禁止可屏蔽中断。

——TRAP指令。此指令强迫CPU转移至中断矢量地址22h。TRAP指令不禁止可屏蔽中断（INTM不设置为1），因此当CPU转移到相应的中断服务子程序时，该子程序可以被可屏蔽硬件中断所中断。

——仿真器陷阱（emulator trap）。此中断可以用INTR指令或TRAP指令来产生。

2.5.1 复位

复位操作确保器件的有序启动序列。如图3所示，有4种可能的复位起因。这些起因中的3个在内部产生；另外一个起因是RS引脚，它由外部控制。

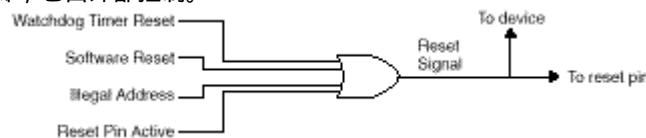


图3 复位信号

4个可能的复位信号产生如下：

* **看门狗定时器复位。** 如果看门狗定时器溢出或不合适的数值被写至看门狗关键寄存器（key register）或看门狗控制寄存器，那么看门狗定时器产生的复位发生。注意，当器件上电时，看门狗定时器自动激活。

* **软件产生复位。** 这由系统控制寄存器（SCR）实现。清除RESET0位（位14）或设置RESET1位（位15）将导致系统复位。

* **非法地址。** 系统和外设模块控制寄存器帧地址映象包括标为保留范围内的不可实现的地址单元。任何对位于保留范围内地址的访问将产生非法地址（illegal-address）复位。

* **复位引脚激活。** 为了在RS引脚上产生外部复位脉冲，小至数纳秒的低电平（low-level）脉冲宽度通常有效；但是，为了确保器件识别复位信号，一个SYSCLK周期的脉冲是必需的。'x240器件需要的典型复位电路包含从RS引脚至Vcc的10kΩ上拉电阻。

一旦复位源被激活，外部RS引脚被驱动至（有效）低电平最少为8个SYSCLK周期。这使'x240可以复位连接到RS引脚的外部器件（RS引脚是一个集电极开路的I/O引脚，所以必须接上拉电阻）。如果RS引脚保持低电平，那么复位逻辑将使器件在RS引脚保持为低电平的时间内始终处于复位状态。

当接收到复位信号时，程序通过读出系统状态寄存器（SSR）的内容来确定复位源。对于能产生复位的4个内部源的每一个，SSR包含一个相应的状态位。在复位期间内，RAM内容保持不变，所有复位所影响的控制位均被初始化。

2.5.2 硬件产生的中断

DSP核的所有硬件中断线被赋予从1至10的优先级（1为最高级）。当这些硬件中断中有多于1个的中断挂起等待响应时，最高级的中断首先得到响应。在此之后其它中断依次获得响应，在这10条线中，6条用于可屏蔽中断线（INT1-INT6），1条用于不可屏蔽中断（NMI）线。INT1-INT6和NMI具有表2所示的优先级。

表2 DSP核层次上可屏蔽中断的优先级

可屏蔽中断	DSP核的优先级
NMI	3
INT1	4
INT2	5
INT3	6
INT4	7
INT5	8
INT6	9

这些线的输入由系统模块和事件管理器控制，如表3所概括和图4所示。

表3 由系统模块和事件管理器控制的中断线

外设	中断线
系统模块	INT1 INT5 INT6 NMI
事件管理器	INT2 INT3 INT4

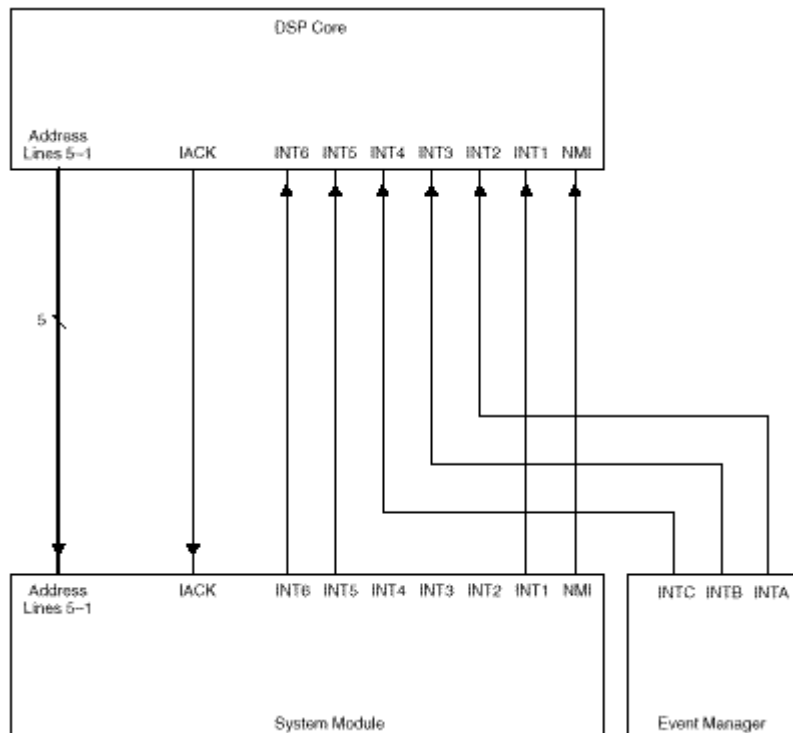


图4 DSP中断结构

在系统模块和事件管理器层次上，每一个可屏蔽中断线（INT1-INT6）连接至多个可屏蔽中断源。连接

到中断线INT1的源被称为1级中断；连接到中断线INT2的源被称为2级中断；等等。对于每一个中断线，多个中断源也具有一组优先级。具有最高优先级的源的中断请求被DSP核首先响应。

图5表示由系统模块控制的中断源和优先级。注意，对于每一个中断链，最高优先级的中断源位于顶部。优先级从链的顶部至底部递减。图6表示适用于事件管理器中断的中断源和优先级。

每一个中断源具有它自己的包含标志位和使能位的控制寄存器。当接收到中断请求时，相应的控制寄存器中的标志位被置位。如果使能位也被置位，那么信号被送至判断逻辑（arbitration logic），它可能同时从一个或多个其它控制寄存器接收相似的信号。判断逻辑比较互相竞争的中断请求的优先级，并把最高优先级的中断传送到CPU。中断标志寄存器（IFR）中相应的标志被置位，表示中断挂起。接着CPU必须决定是否响应中断请求。可屏蔽硬件中断仅在满足某些条件后才被响应：

- * 优先级最高。当多于一个的硬件中断同时被请求时，'x240按照设置的优先级对它们服务。

- * INTM位为0。中断方式（interrupt mode，INTM）位是状态寄存器ST0的位9，它使能或禁止所有可屏蔽中断：

- 当INTM=0时，所有非屏蔽（unmasked）中断被使能。

- 当INTM=1时，所有非屏蔽中断被禁止。

- * 当CPU响应中断（除了由TRAP指令启动时）以及复位时，INTM自动被置为1。它可以由软件设置和清除。

- * IMR屏蔽位为1。在中断屏蔽寄存器（interrupt mask register，IMR）中，每一个可屏蔽中断线具有屏蔽位。要去屏蔽（unmask）中断线，把它的IMR位置为1。

当CPU响应可屏蔽硬件中断时，它用INTR指令阻塞指令总线。此指令迫使PC指向适当的地址，CPU从该地址取回软件矢量，此矢量指向中断服务子程序。

通常，中断服务子程序从外设矢量地址（peripheral-vector-address）寄存器读出外设矢量地址偏移量（见表5）以便转移到对启动中断请求的特定中断源有意义的代码。'x240包括一个虚中断矢量偏移量（phantom-interrupt vector offset）（0000h），它保证了系统中断的完整性（integrity feature），从而允许从不正确的中断序列受控退出。如果实际上并没有外设请求中断而CPU响应来自外设的请求，那么从中断矢量寄存器读出的将是虚中断矢量。

表4概括了TMS320x240可供使用的中断源、优先级、矢量地址/偏移量、源以及每一个中断功能。

表4 中断地址和优先级

INTERRUPT NAME	OVERALL PRIORITY	DSP-CORE INTERRUPT, AND ADDRESS	PERIPHERAL VECTOR ADDRESS	PERIPHERAL VECTOR ADDRESS OFFSET	MASKABLE	'X240 MODULE	FUNCTION INTERRUPT		
RS	1 Highest	RS 0000h	N/A		N	Core, SD	External, system reset (RESET)		
RESERVED	2	INT7 0026h	N/A	N/A	N	DSP Core	Emulator trap		
NMI	3	NMI 0024h	N/A	0002h	N	Core, SD	External user interrupt		
XINT1	4	INT1 0002h	SYSIVR	0001h	Y	SD	High-priority external user interrupts		
XINT2	5			0011h					
XINT3	6			001Fh					
SPIINT	7			0005h				SPI	High-priority SPI interrupt
RXINT	8			0006h				SCI	SCI receiver interrupt
TXINT	9			0007h				SCI	SCI transmitter interrupt
WDTINT	10	{System}	701E/Fh	0010h	Y	WDT	Watchdog timer interrupt		
PDPINT	11	INT2 0004h	7432h	0020h	Y	External	Power-drive protection int.		
CMP1INT	12			0021h	Y	EV.CMP1	Full Compare 1 interrupt		
CMP2INT	13			0022h	Y	EV.CMP2	Full Compare 2 interrupt		
CMP3INT	14			0023h	Y	EV.CMP3	Full Compare 3 interrupt		
SCMP1INT	15			0024h	Y	EV.CMP4	Simple compare 1 interrupt		
SCMP2INT	16			0025h	Y	EV.CMP5	Simple compare 2 interrupt		
SCMP3INT	17			0026h	Y	EV.CMP6	Simple compare 3 interrupt		
TPINT1	18			{Event Manager Group A}		0027h	Y	EV.GPT1	Timer1-period interrupt
TCINT1	19					0028h	Y	EV.GPT1	Timer1-compare interrupt
TUFINT1	20					0029h	Y	EV.GPT1	Timer1-underflow interrupt
TOFINT1	21					002Ah	Y	EV.GPT1	Timer1-overflow interrupt

续上表

TPINT2	22	INT3 0008h (EV INTB)	7433h	002Bh	Y	EV.GPT2	Timer2-period interrupt
TCINT2	23			002Ch	Y	EV.GPT2	Timer2-compare interrupt
TUFINT2	24			002Dh	Y	EV.GPT2	Timer2-underflow interrupt
TOFINT2	25			002Eh	Y	EV.GPT2	Timer2-overflow interrupt
TPINT3	26			002Fh	Y	EV.GPT3	Timer3-period interrupt
TCINT3	27			0030h	Y	EV.GPT3	Timer3-compare interrupt
TUFINT3	28	(Event Manager Group B)	7434h	0031h	Y	EV.GPT3	Timer3-underflow interrupt
TOFINT3	29			0032h	Y	EV.GPT3	Timer3-overflow interrupt
CAPINT1	30			0033h	Y	EV.CAP1	Capture 1 interrupt
CAPINT2	31	0008h	7434h	0034h	Y	EV.CAP2	Capture 2 interrupt
CAPINT3	32	(Event Manager Group C)		0035h	Y	EV.CAP3	Capture 3 interrupt
CAPINT4	33			0036h	Y	EV.CAP4	Capture 4 interrupt
SPIINT	34			0005h	Y	SPI	Low-priority SPI interrupt
RXINT	35	000Ah	SYSIVR	0006h	Y	SCI	SCI receiver interrupt
TXINT	36	(System)	701E/Fh	0007h	Y	SCI	SCI transmitter interrupt
ADCINT	37	INT6	SYSIVR	0004h	Y	ADC	Analog-to-digital interrupt
XINT1	38	000Ch (System)	701E/Fh	0001h	Y	External pins	Low-priority external user interrupts
XINT2	39			0011h	Y		
XINT3	40			001Fh	Y		
RESERVED	41	000Eh	N/A		Y	DSP Core	Used for analysis
TRAP	N/A	0022h	N/A		N/A		TRAP instruction vector

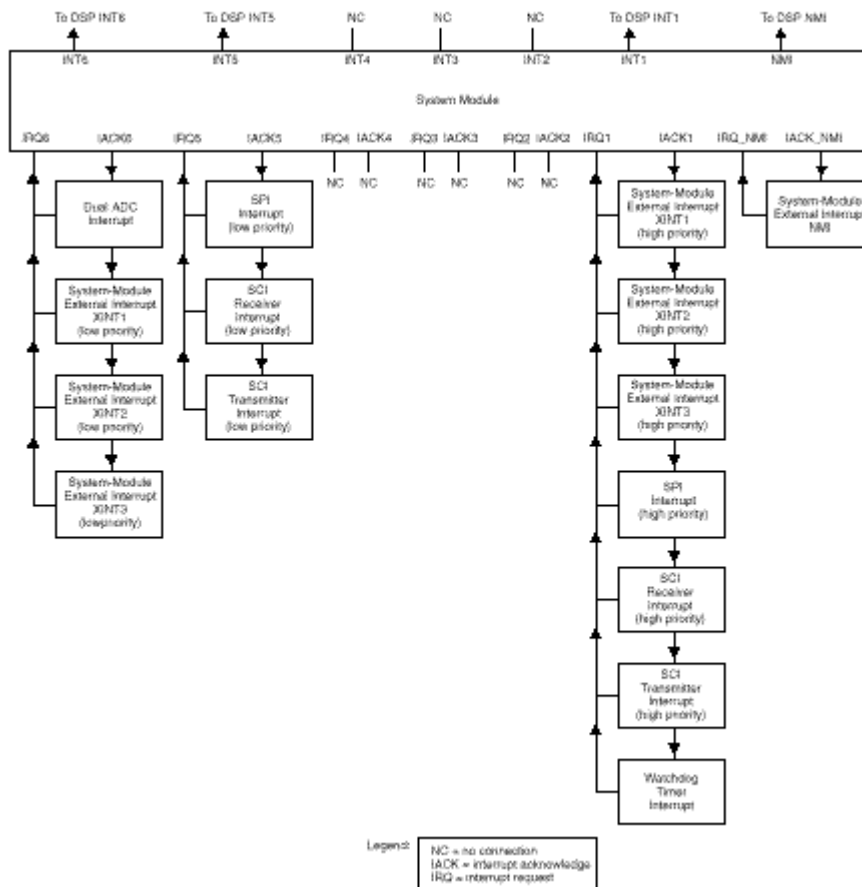


图5 系统模块中断结构

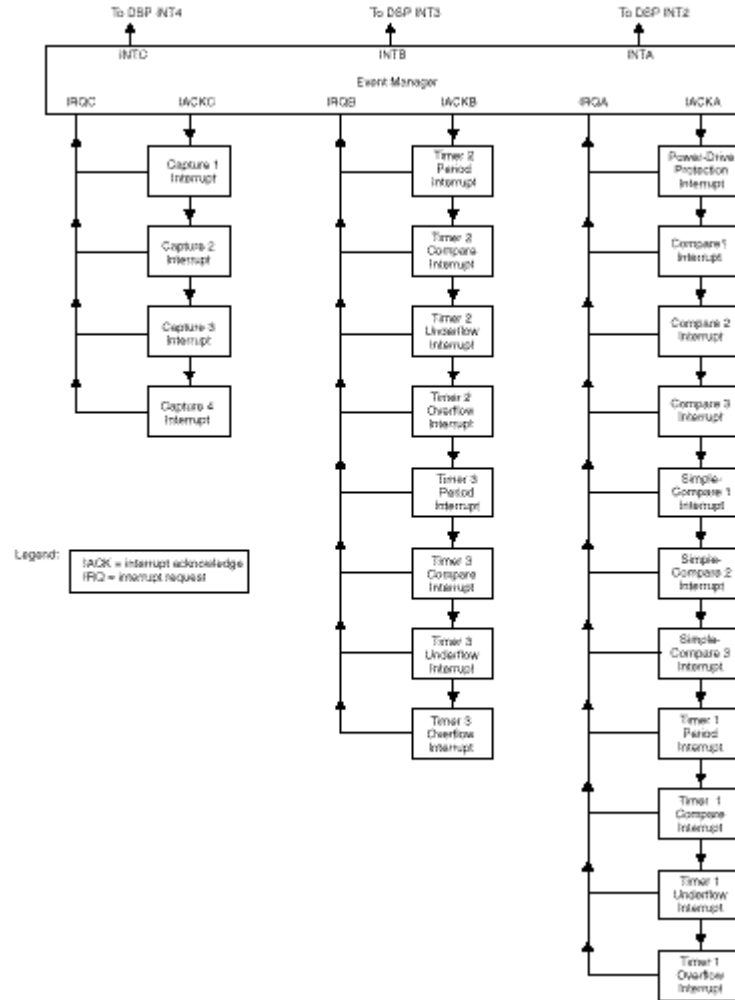


图6 事件管理器中断结构

2.5.3 外部中断

'x240有五个外部中断。这些中断包括：

* XINT1。A型中断。XINT1控制寄存器（位于7070h）提供此中断的控制和状态。XINT1可用作高优先级（1级）或低优先级（6级）可屏蔽中断或用作通用输入引脚。

* NMI。A型中断。NMI控制寄存器（位于7072h）提供此中断的控制和状态。NMI是不可屏蔽外部中断或通用输入引脚。

* XINT2。C型中断。XINT2控制寄存器（位于7078h）提供此中断的控制和状态。XINT2可用作高优先级（1级）或低优先级（6级）可屏蔽中断或用作通用输入引脚。

* XINT3。C型中断。XINT3控制寄存器（位于707Ah）提供此中断的控制和状态。XINT3可用作高优先级（1级）或低优先级（6级）可屏蔽中断或用作通用输入引脚。

* PDPINT。此中断是为电源变换器（power converter）和电机驱动的安全操作而提供的。这种可屏蔽中断可把定时器和PWM输出引脚置为高阻抗状态并在电机驱动异常情况（例如过压、过流以及超常温度上升）下通知CPU。PDPINT是2级中断。图7表示从掉电（power down）方式唤醒的序列。

表5是'x240外部中断能力的概要。

表5 外部中断类型和功能

EXTERNAL INTERRUPT	CONTROL REGISTER ADDRESS	INTERRUPT TYPE	CAN DO NMI?	DIGITAL I/O PIN	MASKABLE?
XINT1	7070h	A	No	input only	Yes (Level 1 or 6)
NMI	7072h	A	Yes	input only	No
N/C	7074h	B	Reserved		
N/C	7076h	B	Reserved		
XINT2	7078h	C	No	I/O	Yes (Level 1 or 6)
XINT3	707Ah	C	No	I/O	Yes (Level 1 or 6)
N/C	707Ch	PM	Reserved		
N/C	707Eh	PM	Reserved		
PDPINT	742Ch	N/A	N/A	N/A	Yes (Level 2)

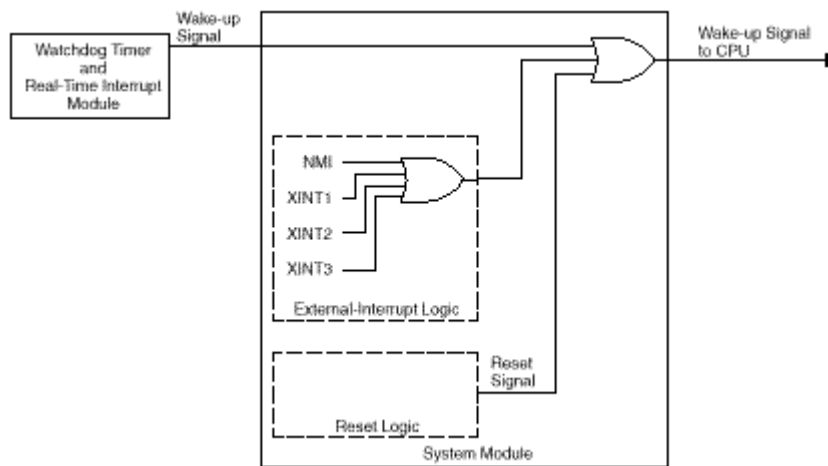


图7 从掉电 (power-down) 状态唤醒器件

2.6 时钟产生

TMS320x240片内具有基于PLL (锁相环)的时钟模块。此模块为器件提供所有必须的时钟信号以及用于低功耗方式输入的控制。此模块所需的唯一的外部元件是外部基频基准晶体。

x240具有两个基本的时钟域：**CPU时钟域 (CPUCLK)**以及**系统时钟域 (SYSCLK)**。CPU、存储器、外部存储器接口以及事件管理器属于CPU时钟域。所有其它外设的系统时钟域内。CPUCLK运行于2倍或4倍SYSCLK的频率，即：CPUCLK=20MHz，SYSCLK=10MHz或CPUCLK=20MHz，SYSCLK=5MHz。

时钟模块包含3个外部引脚：

- OSCIN 时钟源/晶体输入
- OSCOUT 晶体输出
- OSCBYP 振荡器旁路

对于外部引脚，**如果 OSCBYP=5V，那么振荡器被使能；如果 OSCBYP=0V，那么振荡器被旁路。**在振荡器旁路方式下，必须把外部TTL时钟加至OSCIN引脚。

2.7 低功耗方式 (low-power mode)

TMS320x240具有四种低功耗方式 (idle1——空闲1、idle2——空闲2、standby——待机以及halt——停机)。低功耗模块通过减少或停止各种模块的活动 (通过停止其时钟) 来减少工作功率。**时钟模块控制寄存**

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号	P&S网址：http://www.p8s.com
信箱：武汉市70020信箱	邮编：430079
电话：(86) (027) 87493500 ~ 87493506	传真：(86) (027) 87491166, 87493497

器 (clock-module-control register , CKCR) 的两个 PLLPM 位选择当执行 IDLE 指令时器件进入哪一种低功耗方式。复位或来自任何源的未被屏蔽中断使器件从空闲 1 低功耗方式退出。来自 WR/RTI 的实时中断使器件退出除停机低功耗方式之外的所有 (空闲 1、空闲 2 以及待机) 方式。这是一个唤醒 (wake-up) 中断。

复位或四个外部中断 (NMI、XINT1、XINT2 或 XINT3 , 如果已被使能) 的任一个可以使器件从任何低功耗方式 (空闲 1、空闲 2、待机和停机) 退出。外部中断都是唤醒中断。任何设计成允许器件从低功耗方式退出的中断必须分别被全局使能, 从而才能正确地使器件脱离低功耗方式。在进入低功耗方式之前, 应确保所需的低功耗方式退出路径被使能, 这点很重要。

表 6 列出低功耗方式。

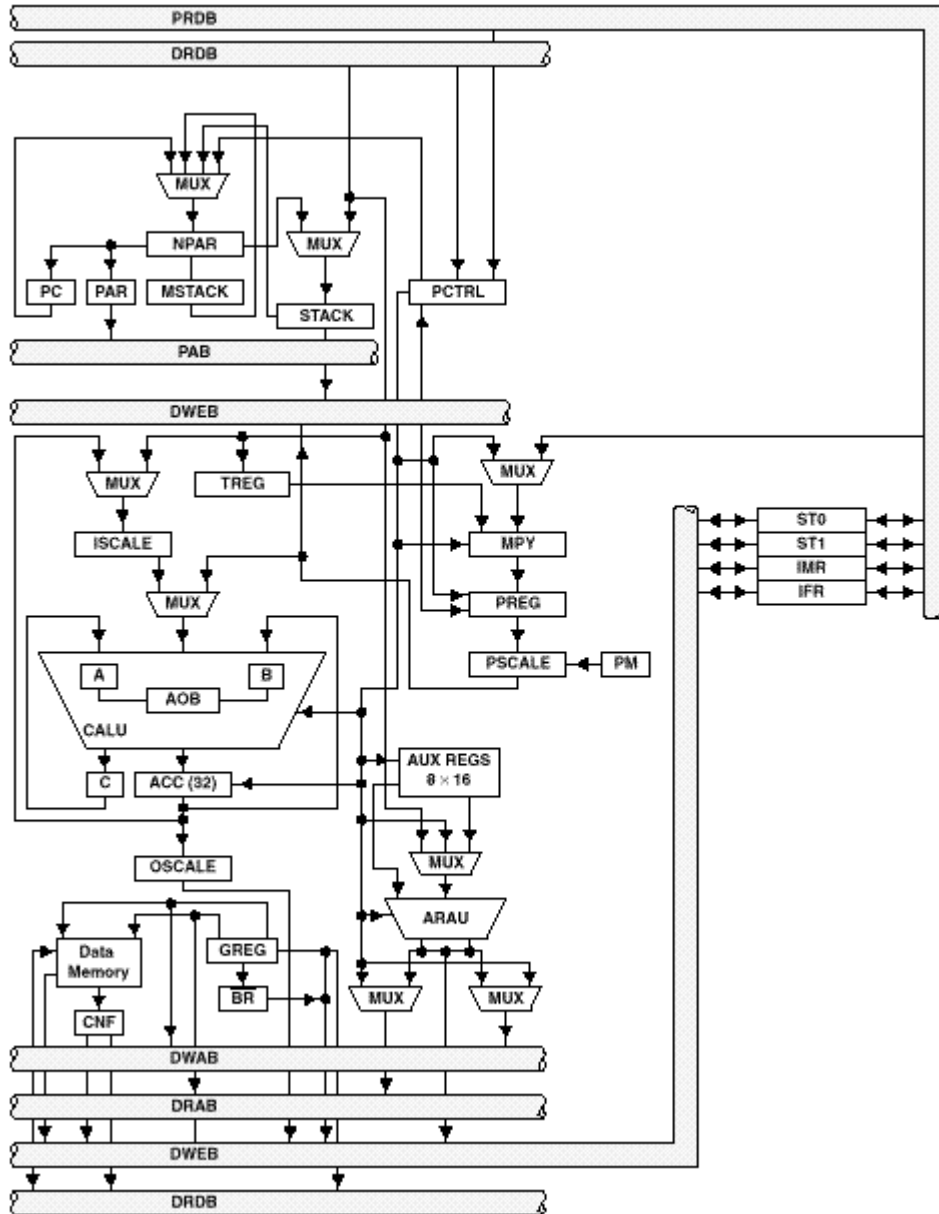
表 6 低功耗方式

LOW POWER MODE	PLLPM2/1 BITS IN CKCR	CPU CLOCK STATUS	SYSTEM CLOCK STATUS	WATCHDOG CLOCK STATUS	PLL STATUS	OSCILLATOR STATUS	EXIT CONDITION	POWER	DESCRIPTION
X + not IDLE	XX	ON	ON	ON	ON	ON	—	>40 mA	Run
0 + IDLE	00	OFF	ON	ON	ON	ON	Any interrupt, Reset	15 mA	idle1
1 + IDLE	01	OFF	OFF	ON	ON	ON	Wake-Up interrupt, Reset	4 mA	idle2
2 + IDLE	10	OFF	OFF	OFF	OFF	ON	Wake-Up interrupt, Reset	1 mA	Standby
3 + IDLE	11	OFF	OFF	OFF	OFF	OFF	Wake-Up interrupt, Reset	<30 μ A	Halt

2.8 'x240 DSP核 CPU

TMS320x240 器件采用先进的 Harvard 型结构, 它通过保持两组分离的存储器总线结构 (程序和数据) 用于全速执行, 使处理能力为最大。这种多总线允许同时读数据和指令。指令支持在两个空间之间的数据传送。这种结构允许将存储在程序存储器中的系数读至 RAM, 消除了对单独的系数 ROM (coefficient ROM) 的需求。这与四级流水线结合在一起将允许 'x240 器件在单个周期内执行大多数指令。

TMS320x240 DSP CPU 功能方框图



2.8.1 状态和控制寄存器

两个状态寄存器ST0和ST1包含各种条件 (conditions) 和方式 (modes) 的状态。这些寄存器可被存储到数据存储器中并可从数据存储器装载，因而允许为子程序保存和恢复机器的状态。

装载状态寄存器 (LST) 指令用于写ST0和ST1。存储状态寄存器 (SST) 指令用于从ST0和ST1读出除了INTM位之外的所有位，INTM位不受LST指令的影响。当使用SETC和CLRC指令时，这些寄存器的各个位可以被置位或清除。图8表示状态寄存器ST0和ST1的组织，指示出包含在每一个寄存器中的所有状态位。状态寄存器中的几位被保留且读出为逻辑1。表7表示状态寄存器域 (field) 的定义。

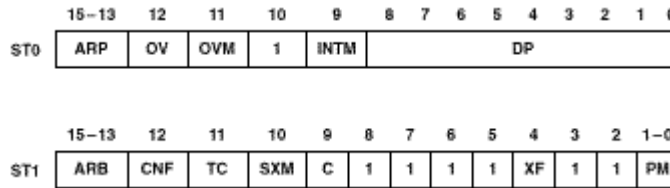


图8 状态和控制寄存器的组织

表7 状态寄存器域 (Filed) 的定义

域	功 能
ARB	辅助寄存器指针缓冲器。当ARP被装载时，除了LST指令外，旧的ARP值被复制到ARB。当用LST #1指令的方法装载ARB时，同样的值也被复制到ARP
ARP	辅助寄存器指针。 ARP选择用于间接寻址的AR。当ARP被装载时，旧的ARP值复制到ARB寄存器。 当使用间接寻址时，ARP可由存储器参考(memory-reference)指令修改，也可由LARP、MAR以及LST指令修改。当执行LST #1指令时，ARP也被装载一个与ARB相同的数值
C	进位位。如果加的结果产生进位，那么C被设置为1；如果减的结果产生借位，那么复位至0。否则，除了指令是带16位位移的ADD或SUB之外，在加法之后C将复位或在减法之后C将置位。在这些情况中，ADD只能设置而SUB只能复位进位位，但不能对它有别的影响。单个位位移和旋转指令以及SETC、CLRC和LST #1指令也影响C。已提供有转移指令以便根据C的状态使程序转移。复位时，C被设置为1
CNF	片内RAM配置控制位。 如果CNF被置为0，那么可重配置数据双口RAM块被映射到数据空间；否则，它们被映射到程序空间。 CNF可以由SETC CNF、CLRC CNF以及LST #1指令修改。RS把CNF设置为0
DP	数据存储器页指针。9位DP寄存器与指令字的七个LSB链接以组成16位直接存储器地址。DP可以由LST和LDP指令修改
INTM	中断方式位。当INTM被置为0时，所有未被屏蔽的中断被使能（允许）。 当设置为1时，所有可屏蔽中断被禁止。 INTM由SETC INTM和CLRC INTM指令置位和复位。RS和IACK也设置INTM。INTM对不可屏蔽RS和NMI中断没有影响。注意，INTM不受LST指令的影响。此位由复位设置为1。当可屏蔽中断陷阱（maskable interrupt trap）发生时，它也被置为1
OV	溢出标志位。作为锁存的溢出信号，当ALU中发生溢出时OV被设置为1。一旦发生溢出，在复位之前OV保持置位，有关OV/NOV的BCND/D或LST指令将清除OV
OVM	溢出方式位。当OVM被置为0时，在累加器中溢出的结果正常溢出。当它被置为1时，根据遇到溢出的情况，累加器被设置为其最大正值或负值。SETC和CLRC指令分别置位和复位此位。 LST也可用以修改OVM
PM	乘积移位方式（product shift mode）。 如果这两位是00，那么乘法器的32位乘积被装入ALU而不移位。如果PM=01，那么PREG输出被左移1位并被装入ALU，且LSB用零填充。如果PM=10，那么PREG输出被左移4位并装入ALU，且LSB均用零填充。PM=11，产生6位的右移，符号被扩展。注意 PREG内容保持不变。当把PREG的内容传送到ALU时，移位发生。 PM由SPM和LST #1指令装载。PM被RS清除
SXM	符号扩展方式位。当数据通过定标移位器（scaling shifter）送入累加器时，SXM=1将对数据产生符号扩展，SXM=0则抑制符号的扩展。SXM不影响某些指令的规定，例如，ADDS指令抑制符号的扩展而不管SXM的影响。SXM由SETC SXM置位，由CLRC SXM指令复位，并可以由LST #1装载。SXM被复位设置至1
TC	测试/控制标志位。 TC受BIT、BITT、CMPR、LST #1以及NORM指令的影响。如果由BIT或BITT指令测试的位为1，或者由CMPR指令所测试的AR（ARP）和AR0之间的比较条件存在，或者用NORM指令测试时累加器两个MSB的异或OR功能为真，那么TC被置为1。 条件转移、调用和返回指令可根据TC的状态来执行
XF	XF引脚状态位。XF表示通用输出引脚XF的状态。XF由SETC XF指令置位并由CLRC XF指令复位。XF被复位设置为1

2.8.2 中央处理单元

TMS320x240中央处理单元（CPU）包括16位的定标移位器（scaling shifter），16×16位并行乘法器。32位中央算术逻辑单元（CALU），32位累加器以及在累加器和乘法器二者输出处的附加移位器（additional shifter）。本节说明CPU的部件及其功能。功能方框图表示CPU的部件。

2.8.3 输入定标移位器（input scaling shifter）

TMS320x240提供一个定标移位器（scaling shifter），它连接到数据总线的16位输入和CALU的32位输出。该移位器用作从程序或数据空间至CALU数据通路的一部分，并不需要周期开销（cycle overhead）。它用于把来自存储器的16位数据调整至32位CALU。这对于定标运算和逻辑运算的调整标志是必要的。

定标移位器对输入数据产生0至16位的左移。输出结果的LSB填充零；MSB可以填充零或进行符号扩展，这取决于状态寄存器ST1的符号扩展方式位SXM的值。移位计数（shift count）由嵌在指令字中的常数或TREG中的值来规定。指令中的移位计数可对该处代码进行特定的定标或调整操作。而TREG基本移位则使定标因子适应于系统的性能。

2.8.4 乘法器

TMS320x240器件采用16×16位硬件乘法器，它能在单个机器周期内计算有符号或无符号的32位乘积。除MPYU（无符号乘）指令以外，所有乘法指令均实现有符号乘操作。即，两个相乘的数被当作二进制补码数加以处理，而结果是32位二进制补码数。有两个与乘法器有关的寄存器，它们是：

- * 16位指令寄存器（TREG），它保存乘法器操作数之一
- * 32位乘积寄存器（PREG），它保存乘积

在PREG输出处（PSCALE）有四种乘积移位方式（PM）可供使用。这些移位方式用于完成乘法/累加操作、小数运算或使小数乘积对齐。状态寄存器ST1的PM域规定了PM移位方式，如表8所示。

表8 PSCALE乘积移位方式

PM	移位	说 明
00	不移位	乘积送至CALU或数据总线，不移位
01	左移1位	移走二进制补码乘法中产生的额外的符号位以产生Q31乘积
10	左移4位	当使用乘以一个13位常数的乘法时，用来移走16×13二进制补码乘法中产生的额外4个符号位以产生Q31乘积
11	右移6位	按标度改变乘积以允许执行多达128次乘/累加而无累加器溢出

乘积可以被移动1位以校正两个16位二进制补码数相乘（MPY）中所产生的额外符号位。移位4位与带短立即数（13位或更少）的MPY指令一起使用以消除在16位数和13位数相乘时所产生的4个额外符号位。最后，PREG的输出可以右移6位以能执行多达128次连续乘/累加而无溢出。

LT（装载TREG）指令通常从数据总线装载TREG，以提供一个操作数，而MPY（乘）指令也从数据总线提供部分操作数。当使用MPY指令时，用13位立即操作数也能完成乘法。于是每两个周期得到一个乘积。当代码正在执行多次乘/累加时，CPU支持TREG装载操作和使用前次乘积CALU操作的流水线操作。与装载TREG并行运行的流水线操作包括：用PREG装载ACC（LTP）；把PREG加至ACC（LTA）；把PREG加至ACC且移动TREG输入数据（DMOV）至数据存储器下一地址（LTD）；以及从ACC减去PREG（LTS）。

两个乘/累加指令（MAC和MACD）充分利用了乘法器的计算带宽，允许同时处理两个操作数。两个操作数可在每个周期内经过程序和数据总线传送到乘法器。当与重复（RPT）指令一起使用时，可以实现单周期乘/累加。在这些指令中，系数地址由程序地址发生器（PAGEN）产生，同时，数据地址由数据地址发生器（DAGEN）产生。这允许重复指令在任何间接寻址方式中从系数表中顺序访问数值，或根据数据间隔访问数值。

重复执行MACD指令支持滤波器设计（加权平均），在执行乘加操作时，使得样本数据在存储器内移动从而为下一个样本取得存储单元并丢弃最老的样本。

MPYU指令完成无符号乘，这大大方便了扩展精度（extended-precision）算术运算。TREG的无符号数乘以所寻址的数据存储器单元的无符号数，结果放在PREG。这种过程允许把大于16位的操作数分为几个16位字分开处理以产生大于32位的乘积。SQRA（平方/加）和SQRS（平方/减）指令传送同一个值至乘法器的两个输入端以便对数据存储器的值作平方运算。

在两个16位数相乘之后，32位的乘积被装入32位乘积寄存器（PREG）。**来自PREG的乘积可以传送到CALU或经过SPH（存储乘积高位）指令和SPL（存储乘积低位）指令传送到数据存储器。**注意：PREG到CALU或数据总线的传送经过PSCALE移位器，因而受PM所定义的乘积移位方式的影响。因为在恢复操作中PSCALE移位的影响不能被模拟，所以当在中断服务子程序上下文保护中保存PREG时，这一点很重要。**通过执行MPY #0指令可以清除PREG。把保存的低位字装入TREG并执行MPY #1，然后使用LPH指令装载高位字，可以恢复乘积寄存器。**

2.8.5 中央算术逻辑

TMS320x240中央算术逻辑单元（CALU）实现宽范围的算术和逻辑功能，其中大多数在单个时钟周期内执行。这个ALU被称为中央的，是为了便于把它与用于间接地址产生、被称为辅助寄存器算术单元（ARAU）的第二个ALU相区分。一旦在CALU中完成操作，结果便传送到累加器（ACC），在累加器中可能发生额外的操作（例如移位）。当输入到CALU的数据来自数据总线之一（DRDB或PRDB）时，可以利用ISCALE对其定标；当数据来自乘法器时，可以用PSCALE对其定标。

CALU是通用的算术/逻辑单元，它对取自数据存储器或来自立即数指令的16位字进行操作。除了常用的算术指令外，CALU可完成布尔运算，具有高速控制器所需的位处理能力。CALU的一个输入总是由累加器提供，另一个输入可以由乘法器的乘积寄存器（PREG）或定标移位器的输出提供，而定标移位器的输入已由数据存储器或ACC读入。在CALU完成算术或逻辑运算之后，结果存储在累加器中。

TMS320x240器件支持需要大动态范围应用的浮点运算。NORM（归一化）指令通过实行左移使累加器中的定点数归一化。TREG的四位为LACT/ADDT/SUBT（以TREG所规定的移位装载/加至累加器/从累加器中减去）指令规定通过定标移位器的可移位置量，这些指令被用于浮点运算，在浮点运算中数值需要解归一化（denormalized），即浮点至定点的转换。它们也被用于执行滤波器的自动增益控制（AGC）。BITT（位测试）指令根据包含在TREG四个LSB位中的数值提供对数据存储器字的单个位的测试。

通过置位/复位ST0的OVM位，可以使能/禁止CALU溢出饱和方式。当CALU处于溢出饱和方式且溢出发生时，溢出标志被置位，累加器所能表示的最大正值或负值被装入累加器，这取决于溢出的方向。饱和情况下累加器的值是07FFFFFFh（正）或08000000h（负）。如果OVM（溢出方式）状态寄存器位被复位且溢出生，那么溢出的结果经修改被装入累加器（注意，逻辑运算不会导致溢出）。

CALU可以执行各种转移指令，它们取决于CALU和累加器的状态。这些指令可以根据这些状态位的任何有意义的组合有条件地被执行。对于溢出控制，这些条件包括OV（根据溢出而转移）和EQ（根据累加器等于零而转移）。此外，BACC（转移到累加器中的地址）指令提供了转移到累加器所指定地址的能力（计算转移）。位测试指令（BIT和BITT）不影响累加器，允许测试数据存储器中字的指定位。

CALU还具有辅助进位位，它根据器件内各种运算而置位或复位。进位位允许扩展精度的乘加或乘减运算更为有效。它在溢出管理中也有用。进位位受大多数算术指令以及单个位位移和旋转指令的影响。它不受装载累加器、逻辑运算以及其它这样的非算术或控制指令的影响。

ADDC（带进位的加至累加器）和SUBB（带借位的从累加器减）指令在加/减运算中使用先前的进位值。

进位位运算的一个例外出现在使用带16位移的ADD（加至累加器高位字）和带16位移的SUB（从累加器高位字减）指令。这种ADD指令仅在进位产生时能使进位位置位，而这种SUB指令仅在借位产生时能

P&S 武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：<http://www.p8s.com>

邮编：430079

传真：(86) (027) 87491166, 87493497

使进位位复位；其它情况下，这两条指令都不影响进位位。

两个条件操作数C和NC被提供用于根据进位位的状态进行转移、调用、返回以及条件执行。SETC、CLRC以及LST #1指令也能用于装载进位位。硬件复位时进位位被置为1。

2.8.6 累加器

32位累加器是CALU的寄存输出。它可分为两个16位的段用以存储至数据存储器。累加器输出端的移位器提供0至7位的左移。在数据被传送至数据总线供存储的同时，这种移位被完成。累加器的内容保持不变。当后定标（post-scaling）移位器用于累加器高位字（位16-31）时，MSB丢失而LSB用从低位字（位0-15）移入的位填充。当后定标移位器用于低位字时，LSB用零填充。

SFL和SFR（在适当位置左移或右移1位）指令以及ROL与ROR（旋转至左/右）指令通过进位位完成累加器内容的移位或旋转。SXM位影响SFR（累加器右移）指令的定义。当SXM=1时，SFR完成算术右移，保持累加器数据的符号。当SXM=0，SFR完成逻辑移位，移出LSB且向MSB移入零。SFL（左移累加器）指令不受SXM位的影响且在两种情况下动作相同，移出MSB并移入零。重复（RPT）指令可以与移位和旋转指令一起用于多位移位。

2.8.7 辅助寄存器和辅助寄存器算术单元（ARAU）

'x240提供包含八个辅助寄存器（AR0-AR7）的寄存器文件。辅助寄存器用于数据存储器的间接寻址或用于暂时的数据存储。间接辅助寄存器寻址允许指令操作数的数据存储器地址放置入辅助寄存器之一。这些寄存器用3位辅助寄存器指针（ARP）作基准，ARP可装入数值0至7，分别指示AR0至AR7。辅助寄存器和ARP可以从数据存储器、ACC、乘积寄存器或用指令中定义的立即操作数装载。这些寄存器的内容也可被存储至数据存储器中或用作CALU的输入。

辅助寄存器文件（AR0-AR7）被连接到ARAU。ARAU可以在数据存储器单元被寻址的同时自动索引当前辅助寄存器，可以按±1或盍R0寄存器内容完成索引。从而，访问地址操作信息表不需要CALU的参予；因此，CALU可自由用于其它并行操作。

2.9 存储器

TMS320x240器件用下列存储器模块配置：

- * 双口（Dual-access）随机存取存储器（DARAM）
- * 闪速EEPROM（'F240）
- * 掩膜ROM（'x240）

2.9.1 双口RAM（dual-access RAM）

'x240器件有544x16字的DARAM。'x240 DARM允许在同一周期内写入RAM和从RAM读出。DARAM被配置为三个块：块0（B0）、块1（B1）以及块2（B2）。块1包括256个字，块2包括32个字，两个块仅定位于数据存储器空间。块0包括256个字，可配置为驻留在数据存储器空间或程序存储器空间内。

SETC CNF（把B0配置为数据存储器）和CLRC CNF（把B0配置为程序存储器）指令允许通过软件动态配置存储器的映象图。当把块0用作程序存储器时，指令可从外部程序存储器下载入片内RAM，然后被执行。

当使用片内RAM或高速外部存储器时，'x240全速运行而无等待状态。DARAM允许在一个周期内执行两次访问，将该能力与'x240结构的并行特性结合在一起使得器件能在任何给定的机器周期内完成三个并行的存储器访问。在外部，READY线可用于使'x240与慢速、便宜的外部存储器接口。把程序从慢速的片外存储器下载至片内RAM可使处理加速并降低系统的成本。

2.9.3 ROM（仅对TMS320C240）

'x240器件包含16K字位于程序存储器空间内的掩膜可编程ROM。用户可将此ROM编程为适合于任何特

P&S 武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号	P&S网网址：http://www.p8s.com
信箱：武汉市70020信箱	邮编：430079
电话：(86) (027) 87493500 ~ 87493506	传真：(86) (027) 87491166, 87493497

殊应用的专门内容。在器件复位时，ROM可以根据MP/MC控制输入的状态被使能或禁止。在使能时，ROM占据程序存储器的最低地址块。当禁止时，这些地址位于器件外部程序存储器空间之内。

2.9.4 闪速EEPROM (仅对TMS320F240)

'F240器件用16K字的闪速电可擦除可编程只读存储器 (EEPROM) 代替掩膜ROM。'C2xx CPU可从EEPROM取回数据和指令。读闪速EEPROM与其它单周期访问内部存储器相同且不要求任何与闪速控制寄存器的交互作用。为了便于擦除，闪速阵列被分为八个2K字的段。这些段可以分别被擦除或以任何组合一起被擦除。当闪速位被编程时，它们被读为0。0状态被定义为有过量电子在浮动栅上的状态。擦除状态被定义为1。在编程之前，闪速EEPROM模块在内部产生必要的电压，从而毋需从外部提供编程或擦除电压。

2.10 外设 (peripherals)

TMS320x240集成的外设在下述各小节中叙述：

- * 外部存储器接口
- * 事件管理器
- * 双模拟——数字转换器
- * 串行外设接口
- * 串行通信接口
- * 看门狗定时器

2.10.1 外部存储器接口

TMS320x240可在程序、数据和I/O空间中分别寻址高达64Kx16字范围的存储器或寄存器。当片内存储器被使能时，将占去这些片外范围的一部分。在数据空间中，使用GREG寄存器可把高32K字动态映射为局部或全局存储器。访问全局数据存储器将声明BR为低电平，其时序类似于地址总线的时序。

TMS320x240的CPU在同一机器周期内执行程序取、数据读和数据写。这是因为CPU可以在同一周期内从片内存储器执行所有这三类操作。然而，由于外部接口把内部总线多路复用至一组地址或一组数据总线，所以外部接口在确定这些操作的顺序时，首先完成数据写，其次是数据读，最后是程序读。

'x240支持宽范围的系统接口要求。程序、数据以及I/O地址空间提供与存储器和I/O的接口，使系统吞吐量为最大。完全的16位地址和数据总线与PS、DS以及IS空间选择信号一起，允许在程序和I/O空间中寻址64K的16位字。由于片内外设占去部分数据空间，外部数据空间可寻址范围为32K的16位字。

通过与存储器相同的方法处理I/O，使I/O的设计得以简化。使用处理器的外部地址和数据总线，采用与存储器映射器件相同的方法将I/O设备映射到I/O地址空间。

'x240外部并行接口提供控制信号以方便与器件的接口。提供R/W输出信号以指示当前周期是读周期还是写周期。STRB输出信号提供所有外部周期的定时基准。

通过使用READY输入端，使得'x240可与各种速度的存储器和I/O设备的接口得以完成。当与慢速设备交互作用时，'x240处理器将处于等待状态直至其它设备完成其功能，并利用READY输入端通知处理器为止。一旦外部设备提供准备就绪的指示，执行便继续。为了完成对内部数据I/O存储器映射寄存器的读或写，READY输入必须被驱动至有效高电平。

总线请求 (BR) 信号与其它'x240接口信号一起使用可解决外部全局存储器的访问。全局存储器是外部数据存储器空间，在开始访问此空间时BR信号被声明。当外部全局存储器接收到总线请求时，在全局存储器访问解决且全局访问完成之后，它通过声明准备就绪信号作为响应。

TMS320x240在外部接口上支持零等待状态读。然而，为了避免总线冲突，写操作占两个周期。这使'x240能对从输入到输出（或输出到输入）过程中数据总线上的变化提供半个周期的缓冲。在大多数系统中，TMS320x240读与写之比相当大，以便使额外的写周期的开销为最小。

P&S 武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号
信箱：武汉市70020信箱
电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com
邮编：430079
传真：(86) (027) 87491166, 87493497

当访问慢速外部源时，可产生等待状态。等待状态工作于机器周期的边界，并可通过使用准备就绪信号或使用软件等待状态产生器来启动。准备就绪信号可用于产生任何数目的等待状态。

2.10.2 事件管理器 (event-manager, EV) 模块

事件管理器模块包括通用 (general-purpose, GP) 定时器、比较单元、捕获 (capture) 单元以及正交编码器脉冲 (quadrature-encoder pulse, QEP) 电路。图9表示事件管理器的功能。

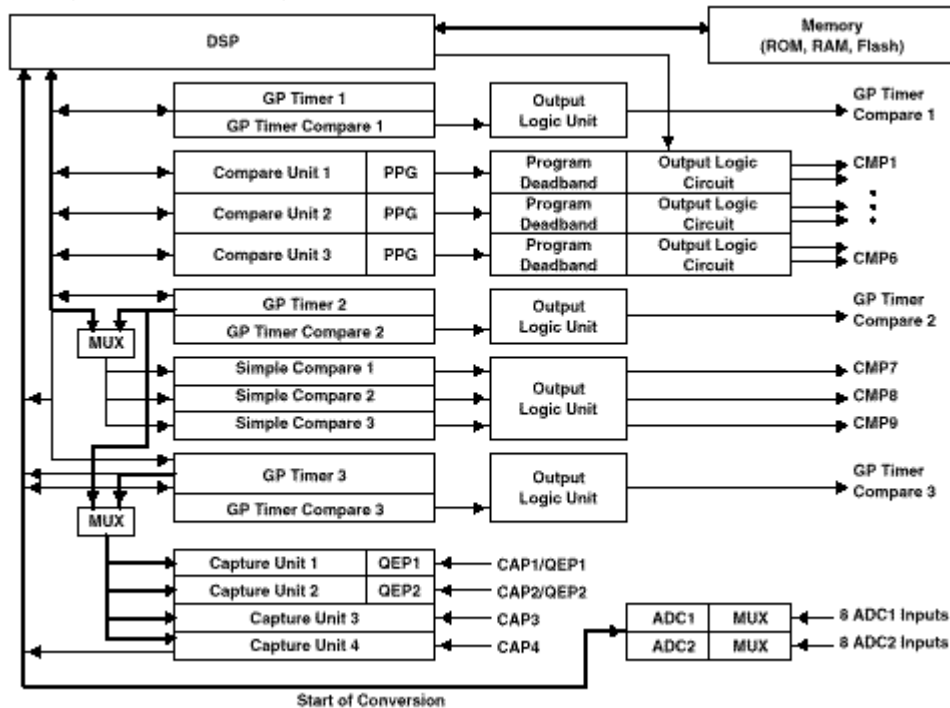


图9 事件管理器方框图/功能

2.10.2.1 通用 (GP) 定时器

TMS320x240上有三个通用 (GP) 定时器。GP定时器X (X=1, 2, 3) 包括：

- * 16位定时器向上、上/下计数器TxCNT，用于读或写
- * 16位定时器比较寄存器（带阴影寄存器、双缓冲）TxCMPR，用于读或写
- * 16位定时器周期寄存器（带阴影寄存器、双缓冲）TxPR，用于读或写
- * 16位定时器控制寄存器TxCON，用于读或写
- * 可选的内部或外部输入时钟
- * 用于内部或外部时钟输入的可编程预定标器 (presealar)
- * 控制和中断逻辑，用于四个可屏蔽中断：下溢、溢出、定时器比较以及周期中断
- * 具有可编程状态的定时器比较输出引脚：低或高有效状态，受迫的低或高状态
- * 可选方向输入引脚TMRDIR（当选择有向的上/下计数方式时，向上或向下计数）

GP定时器可独立工作或互相同步工作。利用GP定时器2和3也可配置32位GP定时器。与每一个GP定时器有关的比较寄存器可用作比较功能和PWM波形的产生。在向上 (up) 或上/下 (up/down) 计数操作中，对于每一个GP定时器有两种单个和三种连续工作方式。具有可编程预定标器的内部或外部输入时钟用于每一个GP定时器。每一个GP定时器/比较输出的状态可以由通用定时器控制寄存器 (GPTCON) 配置。GP定时器也为其它事件管理器子模块提供时基；GP定时器1适用于所有比较和PWM电路，GP定时器1或2适用于简单比较以产生附加比较或PWM，GP定时器2或3适用于捕获单元和正交脉冲计数操作。

周期和比较寄存器的双缓冲允许定时器 (PWM) 周期和比较/PWM脉冲宽度被高速编程改变。

P&S 武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号	P&S网网址：http://www.p8s.com
信箱：武汉市70020信箱	邮编：430079
电话：(86) (027) 87493500 ~ 87493506	传真：(86) (027) 87491166, 87493497

2.10.2.2 全比较单元

TMS320x240有三个全比较单元。这些比较单元使用GP定时器1作为时基，并利用可编程的死区控制电路产生6个用于比较和PWM波形生成的输出。六个输出中每一个的状态可独立配置。比较单元的比较寄存器是双缓冲的，允许比较/PWM脉冲宽度被高速编程改变。

2.10.2.3 可编程的死区 (programmable-deadband) 产生器

死区产生器电路包括三个8位计数器和一个8位比较寄存器。所需的死区值（从0至102匝）可编程入比较寄存器，用于三个比较单元输出。对于每一个比较单元的输出，死区的产生可单独被使能/禁止。死区产生器电路产生两个用于每一比较单元输出信号的输出（带或没带死区）。利用双缓冲的ACTR寄存器，死区产生器的输出状态可以被高速配置及改变。

2.10.2.4 简单比较

TMS320x240配有三个简单比较器，它们可用于产生三个附加的独立比较或高精度PWM波形。GP定时器1或2可被选为三个简单比较器的时基。三个简单比较的输出状态可独立地配置为低或高有效，或受迫的低或高有效。简单比较寄存器是双缓冲的，允许比较/PWM脉冲宽度被高速（on-the-fly）编程改变。经过双缓冲的SACTR寄存器，简单比较输出的状态可以被高速配置与改变。

2.10.2.5 比较/PWM波形产生

TMS320x240可同时产生多达12路的比较和/或PWM波形输出：由三个具有可编程死区控制的全比较单元产生独立的三对（六个输出），由简单比较单元产生独立的三个比较或PWM（三个输出），以及由GP定时器比较单元产生独立的三个比较或PWM（三个输出）。

2.10.2.6 比较/PWM特性

比较/PWM的特性如下：

- * 16位，50ns分辨率
- * PWM输出对的可编程死区从0至102匝
- * 最小死区宽度50ns
- * 允许用于PWM频率不等速运动的PWM载频的高速改变
- * 允许在每一PWM周期内和其后PWM脉冲宽度的高速改变
- * 外部可屏蔽的电源和驱动保护（power and drive-protection）中断
- * 脉冲模式产生器（pattern-generator）电路，用于异步、同步以及四空间矢量（four-space vector）

PWM波形的可编程产生

- * 自动重新装载比较和周期寄存器，使CPU负荷最小

2.10.2.7 捕获单元 (capture unit)

捕获单元提供对不同事件或跳变的捕获功能。当在捕获输入引脚CAPX（X=1, 2, 3或4）检测到所选的跳变时，GP定时器2计数器和/或GP定时器3计数器被捕获并存储在两级FIFO堆栈内。TMS320x240的捕获单元由四个捕获电路组成。

- * 捕获单元包括下列特性

- 一个16位捕获控制（capture-control）寄存器CAPCON，用于读或写
- 一个16位捕获FIFO（capture-FIFO）状态寄存器CAPFIFO；具有8位只读MSB和8位只写LSB
- 通过两个16位多路转换器（MUX），可选择GP定时器2和/或GP定时器3。一个MUX为捕获电路3和4选择GP定时器，另一个MUX为捕获电路1和2选择GP定时器
- 四组两级16位FIFO堆栈寄存器，每一捕获电路一个两级FIFO堆栈寄存器。每一堆栈的栈顶寄存器是只读寄存器FIFOx，其中x=1, 2, 3或4
- 四个可能的施密特触发捕获输入引脚（CAPx，x=1至4），每一捕获单元一个输入引脚

- 输入引脚CAP1和CAP2也可用作QEP电路的输入
- 用户定义的输入引脚边沿检测方式
- 四个可屏蔽中断/标志CAPINTx，其中x=1, 2, 3或4

2.10.2.8 正交编码器脉冲 (quadrature-encoder pulse, QEP) 电路

两个捕获输入端 (CAP1和CAP2) 可用于和片内具有正交编码器脉冲的QEP电路接口。这些输入的所有同步在片内完成。当方向和前导正交 (leading-quadrature) 脉冲序列被检测后, GP定时器2或3在两路输入信号的上升或下降沿 (任一输入脉冲频率的四倍) 增一或减一。

2.10.3 模拟——数字转换器 (ADC) 模块

ADC模块的简化功能方框图如图10所示。ADC模块包括两个各带有内置采样——保持电路的10位ADC。在TMS320x240上共有16个模拟输入通道可供使用。每八个模拟输入端通过8至1模拟多路转换器提供给每一ADC单元。每一个ADC单元的最大总转换时间是10 μ s。每一转换器总精度是 ± 1 LSB。ADC模块的基准电压是0-5V, 它可由内部 (片内) 或外部提供。

ADC模块的功能包括:

- * 两个输入通道 (每个ADC单元一个), 它们可同时采样与转换
- * 每个ADC单元可完成单个或连续S/H (采样/保持) 和转换操作
- * 两组2级深度 (2-level-deep) FIFO结果寄存器用于ADC单元1和2
- * ADC模块 (两个A/D转换器) 可由软件指令、器件引脚上的外部信号跳变或由每一个GP定时器/比较输出端和捕获单元4上事件管理器的事件开始操作。
- * ADC控制寄存器是双缓冲的 (带有阴影寄存器), 且可在任何时候写入。根据控制寄存器中相应位的状态, ADC的新转换可立即开始或在前次转换过程完成时开始。
- * 在每次转换结束时, 如果它未被屏蔽或已被使能, 那么中断标志被设置且中断产生。

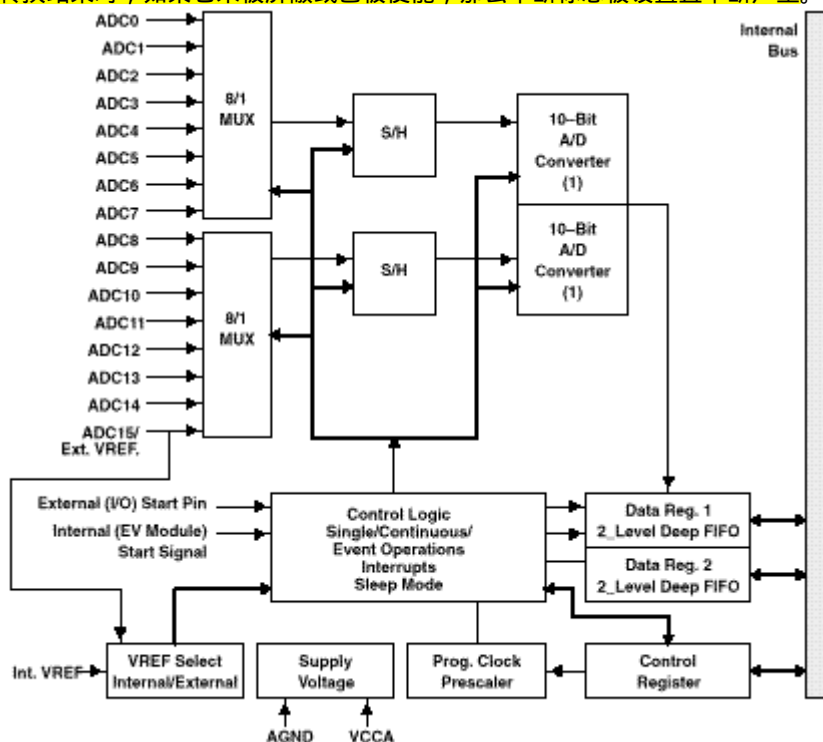


图10 模拟-数字转换器模块

2.10.4 串行外设接口 (SPI) 模块

TMS320x240器件包括四引脚串行外设接口 (SPI) 模块。SPI是高速同步串行I/O端口，它允许可编程长度（一至八位）的串行位流（bit stream）以可编程的位传输速率移入器件或从器件移出。SPI通常用于DSP控制器与外部设备或另一个处理器之间的通信。典型应用包括通过诸如移位寄存器、显示驱动器以及ADC等器件所进行的外部I/O或设备扩展。SPI的主/从操作支持多处理器通信。

SPI模块的特性包括下列各项：

* 四个外部引脚：

——SPISOMI：SPI从输出/主输入引脚，或通用双向I/O引脚。

——SPISIMO：SPI从输入/主输出引脚，或通用双向I/O引脚。

——SPISTB：SPI从发送使能引脚，或通用双向I/O引脚。

——SPICLK：SPI串行时钟引脚，或通用双向I/O引脚。

* 两种工作方式：主和从

* 波特率：128种不同的可编程速率，在系统时钟SYSCLK频率为10MHz时，传输率为2.5Mbps。

* 数据字格式：一至八个数据位

* 由时钟极性和时钟相位控制的四种时钟方案包括：

——无相位延迟下降沿：SPICLK为有效高电平。SPI在SPICLK下降沿发送数据，在SPICLK信号上升沿接收数据。

——有相位延迟下降沿：SPICLK为有效高电平。SPI在SPICLK下降沿之前半周发送数据，在SPICLK信号下降沿接收数据。

——无相位延迟上升沿：SPICLK为无效低电平。SPI在SPICLK上升沿发送数据，在SPICLK信号下降沿接收数据。

——有相位延迟上升沿：SPICLK为无效低电平。SPI在SPICLK下降沿之前半周发送数据，在SPICLK信号上升沿接收数据。

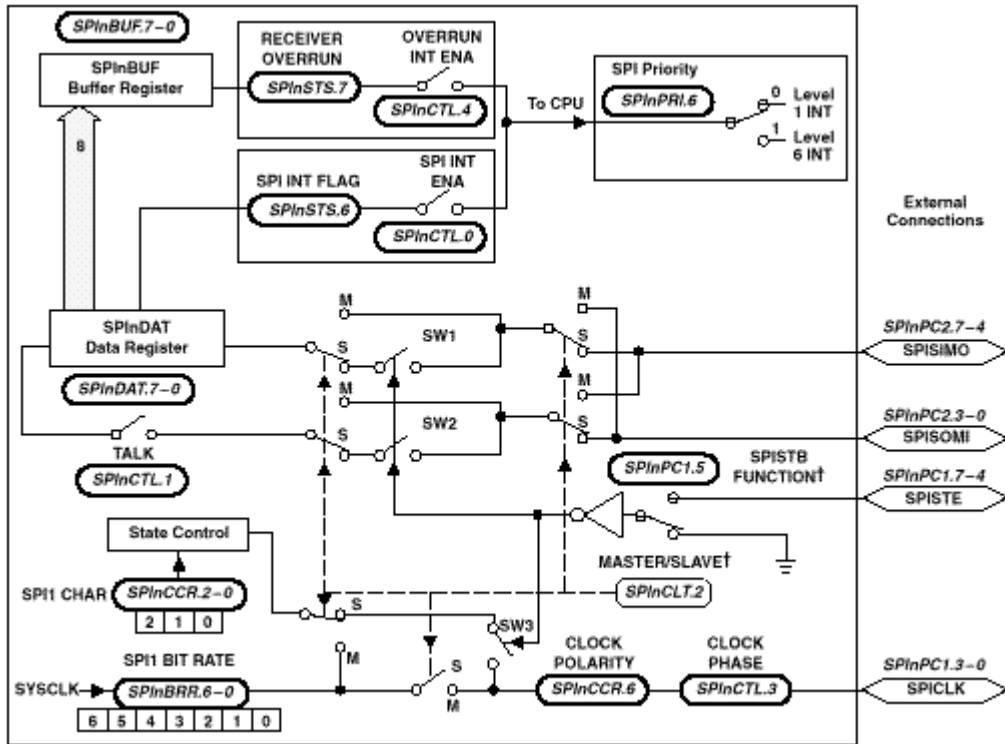
* 同时接收和发送操作（发送功能可用软件禁止）

* 通过中断驱动或查询算法完成发送和接收操作

* 十个SPI模块控制寄存器：位于从地址7040h开始的控制寄存器帧。

注：在此模块中所有寄存器为8位寄存器。当访问寄存器时，寄存器数据位于低字节，高字节读为零。写入高字节无效。

图11是从属方式SPI方框图。



+ 此图表示从属方式；SPInSTE未选择从属方式

图11 SPI方框图——4引脚选项+

2.10.5 串行通信接口 (SCI) 模块

TMS320x240器件包括串行通信接口 (SCI) 模块。SCI模块支持CPU与其它使用标准NRZ格式的异步外设之间的数字通信。SCI接收器和发送器是双缓冲的，每一个具有它自己单独的使能和中断位。二者都可以独立工作，或同时工作，从而处于全双工方式。为了确保数据的完整性，SCI对接收的数据进行间断检测 (break detection)、奇偶性、超时以及帧出错的检查。通过16位波特率选择寄存器，位速率 (波特) 可编程为65,000多种不同的速度。SCI模块特性包括：

- * 两个外部引脚
 - SCITXD：SCI发送输出引脚或通用双向I/O引脚
 - SCIRXD：SCI接收输入引脚或通用双向I/O引脚
- * 可编程为64K种不同速率的波特率
 - 在10MHz SYSCLK下，波特率高达312kbps
- * 数据字格式
 - 一个起始位
 - 一至八位的可编程数据字长度
 - 可选的偶/奇/无校验位
 - 一或两个停止位
- * 四种错误检测 (error-detection) 标志：奇偶性、超时、帧错误以及间断检测
- * 两种唤醒 (wake-up) 多处理器方式：空闲线 (idle-line) 和地址位
- * 半双工或全双工操作
- * 双缓冲接收和发送功能

* 发送器和接收器操作可利用状态标志位通过中断驱动或查询算法来完成

——发送器：TXRDY标志（发送器缓冲寄存器准备好接收另一个字符）和TXEMPTY标志（发送器移位寄存器空）

——接收器：RXRDY标志（接收器缓冲寄存器准备好接收另一个字符），BRKDT标志（中断条件发生），以及RX ERROR（监视四个中断条件）

* 分离的发送器和接收器中断使能位（除了BRKDT）

* NRZ（non return-to-zero，非返回零）格式

* 十二个位于从地址7050H开始的控制寄存器帧内的SCI模块控制寄存器

图12表示SCI模块的方框图。

注：在此模块中所有寄存器为8位寄存器。当访问寄存器时，寄存器数据位于低字节，高字节读出为零。写入高字节无效。

2.10.6 看门狗（WD）和实时中断（RTI）模块

TMS320C240器件包括看门狗（WD）定时器和实时中断（RTI）模块。此模块的WD功能通过产生系统复位来监视软件和硬件操作。如果软件不定期写入正确的关键值（correct key），那么便产生系统复位。实时中断（RTI）功能提供可编程时间间隔的中断。WD/RTI模块的方框图请参见图13。WD/RTI模块的特性包括下列各项。

* WD定时器

——从15.63ms至1s范围内七种不同的WD溢出速率

——WD复位键（WDKEY）寄存器，当向其写入正确值时则清除WD计数器，如果不正确的值写入该寄存器则产生系统复位

——WD标志（WDFLAGE），它指示WD定时器是否启动系统复位

——WD检查位，如果不正确的值写入WD控制寄存器（WDCR），那么它启动系统复位

* 一旦系统复位被释放，WD定时器便自动激活

——三个WD控制寄存器，它们位于从地址7020h开始的控制寄存器帧内

* 实时中断（RTI）：

——可产生可编程频率的中断，该频率范围为每秒1至4096次中断

——中断或查询操作

——两个RTI控制寄存器，它们位于从地址7020h开始的控制寄存器帧内

注释：在此模块中所有寄存器为8位寄存器。当访问寄存器时，寄存器数据位于低字节，高字节作为零被读出。写入高字节无效。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：<http://www.p8s.com>

邮编：430079

传真：(86) (027) 87491166, 87493497

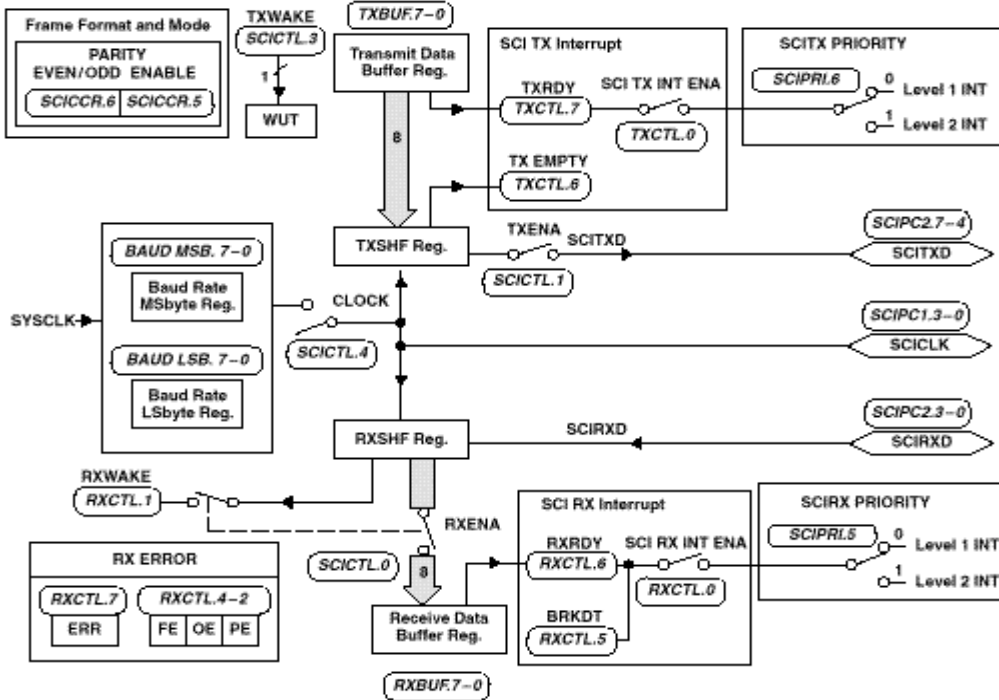


图12 SCI1方框图

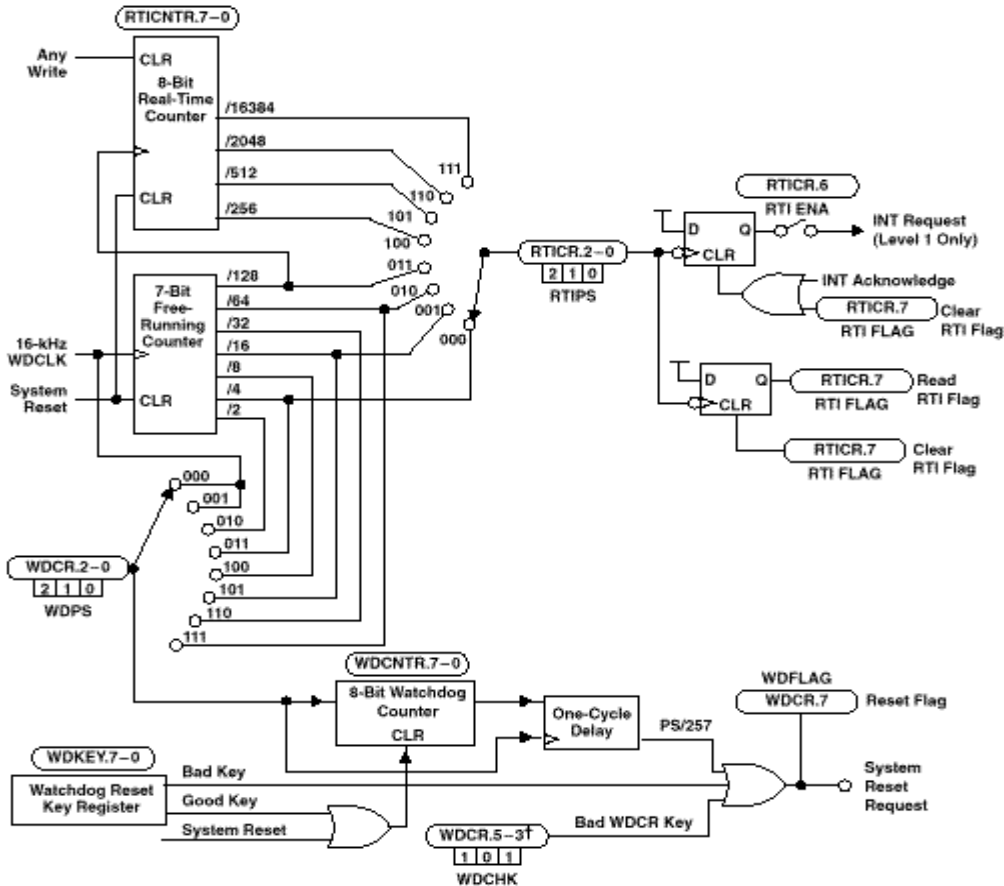


图13 WD/RTI模块的方框图

2.11 基于扫描的仿真 (scan-based emulation)

TMS320x240采用基于扫描 (scan-based) 的仿真,用于代码和硬件开发支持。测试访问 (test-access) 端口提供串行扫描接口。基于扫描的仿真允许仿真器控制系统中的处理器,并且无需使用连接至器件全部引脚的插入式电缆。

2.12 TMS320x240指令集

'x240微处理器支持复杂指令集,它支持数字信号处理操作和通用应用,例如多处理和高速控制。'C1x和'C2x DSP的源代码与'x240向上兼容。

为了达到最大的吞吐量,在当前指令正在执行的同时预取下一条指令。由于同一组数据线被用于和外部数据、程序、或I/O空间通信,所以执行一条指令所需的周期数是变化的,它取决于是从内部存储器还是从外部存储器取回下一数据操作数。保持数据存储器在片内,并使用内部或高速外部程序存储器可达到最高的吞吐量。

2.12.1 寻址方式

TMS320x240指令集提供四种基本的存储器寻址方式:直接(direct)、间接(indirect)、立即(immediate)以及寄存器(register)。

在直接寻址中,指令字包含低七位数据存储器地址。此域(field)与数据存储器页指针(DP)的九位相连接以形成16位数据存储器地址。因此,在直接寻址方式中,数据存储器实际上总共分为512个页,每一页包含128个字。

间接寻址通过辅助寄存器访问数据存储器。在这种寻址方式中,指令操作数的地址包含在当前选择的辅助寄存器中。八个辅助寄存器(AR0-AR7)提供灵活而有效的间接寻址。为了选择特定的辅助寄存器,辅助寄存器指针(ARP)装入0至7的数值,它们分别适用于AR0至AR7。

有七种类型的间接寻址,自动增量或自动减量,加或减AR0内容,无增量或减量的简单间接(Single-indirect)寻址,以及有增量或减量的位反转(bit-reversed)寻址(用于FFT)。所有操作均在与原先指令相同的周期内、在当前辅助寄存器上执行,在此之后当前辅助寄存器和ARP可以被改变。

在立即寻址中,真正的操作数数据作为指令字的一部分提供。有两种类型的立即寻址:长(long)和短(short)。在短立即寻址中,数据包含在单字指令的部分位中。在长立即寻址中,数据包含在双字指令的第二个字中。立即寻址方式对于不需存储的数据或在程序执行过程中使用多于一次的数据是有用的,例如初始化数据或常数。

寄存器寻址方式使用CPU寄存器中的操作数。它可以是显式的,例如直接访问特定的寄存器;或者是隐含的,即使用内部固有访问某些寄存器的指令。在任何一种情况下,由于不需要指定整个16位操作数地址或立即数值便能使用16位的值,所以操作数的访问得以简化。

2.12.2 重复特性

重复功能可以和某些指令(在表9中定义)一起使用,这些指令如乘/加(MAC和MACD)、块移动(BLDD和BLPD)、I/O传送(IN/OUT)以及表读/写(TBLR/TBLW)。这些指令虽然通常是多周期的,但在由于使用重复特性时采用了流水线操作(are pipelined),它们实际上变为单周期指令。例如,读表(table-read)指令的执行要三个或更多周期,但是当指令重复时,每个周期可以读出一个表地址。

如果使用直接或间接寻址,那么将用被寻址的数据存储器单元装载重复计数器(RPTC);如果使用短立即寻址,那么将用8位立即值装载重复计数器(RPTC)。RPTC寄存器用RPT指令装载。重复指令将使给定的指令最多执行N+1次。RPTC由复位清除。一旦重复指令(RPT)被译码,包括NMI在内的所有中断(除了复位以外)均被屏蔽,直至重复循环完成为止。

2.12.3 指令集小结

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

信箱:武汉市70020信箱

电话:(86)(027)87493500~87493506

P&S网网址: <http://www.p8s.com>

邮编:430079

传真:(86)(027)87491166, 87493497

本节归纳了'x240数字信号处理器指令集的操作码。此指令集是'C1x和'C2x指令集的超集。指令按照功能分类，在每一类中则依照助记符字母表顺序排列。表9中的符号用于指令集操作码表（表10）。德州仪器公司的'C2xx汇编器接受'C2x指令。

指令在程序存储器中所占据的字数在表10的第3列中规定。有些指令在字数栏规定了用斜杠(/)分开的两个字数值。在这些情况下，不同形式的指令占据不同的字数。例如，当操作数是短立即值时，ADD指令占据一个字；当操作数是长立即值时，ADD指令占据两个字。

指令执行所需的周期数也列在表10的第3列。所有指令均假设从内部程序存储器（RAM）和内部数据双口存储器执行。周期时序关系适用于单指令执行，不适用于重复形式。

表9 TMS320X240操作码符号

符号	说明
A	地址
ACC	累加器
ACCB	累加器缓冲器
ARX	辅助寄存器值(0-7)
BITX	4位域，规定了用于BIT指令测试的那些位
BMAR	块移动地址寄存器
DBMR	动态位处理寄存器
I	寻址方式位
II...II	立即操作数值
INTM	中断方式标志位
INTR #	中断矢量号
N	XC指令的域，指出条件执行的指令数（一或二条）
PREG	乘积寄存器
PROG	程序存储器
RPTC	重复计数器
SHF, SHFT	3或4位位移值
TC	测试控制位
TP	条件执行指令所使用的两位，代表条件TC、NTC、以及BIO TP 意义 00 BIO为低电平 01 TC=1 10 TC=0 11 不满足上述任何条件
TREGn	暂存寄存器n(n=0,1,或2)
ZLVC	代表下列条件的4位域： Z：ACC=0 L：ACC<0 V：溢出 C：进位 条件指令包括两个这种4位域。指令的4位LSB域是4位屏蔽域。屏蔽位中的1指示相应条件将被测试。第二个4位域（位4-7）指示被测试的屏蔽位所指出的条件的状态。例如要测试ACC=0，Z和L域被置位同时V和C域不置位。下一个4位域包含测试条件的状态。Z域被置位以指示测试条件ACC=0，L域被复位以指示测试条件ACC=0。这八位的可能条件组合出现在BCND、CC以及XC指令中。为了确定条件是否满足，4位LSB屏蔽位与条件位相“与”。如果任何位被置位，那么条件符合。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com

邮编：430079

传真：(86) (027) 87491166, 87493497

表10 'x240指令集概要

'x240 助记符	说 明	字数/ 周期数	操 作 码			
			MSB			LSB
ABS	累加器取绝对值	1/1	1011	1110	0000	0000
ADD	带移位加至累加器	1/1	0010	NSHFT	IADD	RESS
ADDC	带进位加至累加器	1/1	0110	0000	IADD	RESS
ADD	加到累加器高位字	1/1	0110	0001	IADD	RESS
	短立即数加至累加器	1/1	1011	1000	8位	CNST
	将长立即数移位加到累加器	2/2	1011	1111	1001	SHFT 16位常数
ADDS	抑制符号扩展加到累加器低位字	1/1	0110	0010	IADD	RESS
ADDT	按T寄存器内容移位并加至累加器	1/1	0110	0011	IADD	RESS
ADRK	将短立即数加至辅助寄存器	1/1	0111	1000	8位	CNST
AND	和累加器逻辑与	1/1	0110	1110	IADD	RESS
AND	将立即数移位并和累加器逻辑与	2/2	1011	1111	1011	SHFT 16位常数
	将立即数移位16位，并和累加器逻辑与	2/2	1011	1110	1000	0001 16位常数
APAC	把P寄存器加至累加器	1/1	1011	1110	0000	0000
B	无条件转移	2/4	0111	1001	IADD	RESS 转移地址
BACC	转移到累加器指定的地址	1/4	1011	1110	0010	0000 转移地址
BANZ	辅助寄存器非零时转移	2/4/2	0111	1011	IADD	RESS 转移地址
BCND	TC位 0时转移	2/4/2	1110	0001	0000	0000 转移地址
	TC位=0时转移	2/4/2	1110	0010	0000	0000 转移地址
	有进位时转移	2/4/2	1110	0011	0001	0001 转移地址
	累加器 0时转移	2/4/2	1110	0011	1000	1100 转移地址
	累加器>0时转移	2/4/2	1110	0011	0000	0100 转移地址
	I/O状态为低电平时转移	2/4/3	1110	0000	0000	0000 转移地址
	累加器 0时转移	2/4/2	1110	0011	1100	1100 转移地址
BIT	位测试	1/1	0100	位x	IADD	RESS
BITT	测试由TREG指定的位	1/1	0110	1111	IADD	RESS
BLDD	数据存储器之间的块传送，源地址为立即数	2/3	1010	1000	IADD	RESS 转移地址

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com

邮编：430079

传真：(86) (027) 87491166, 87493497

	数据存储器之间的块传送，目的地址为立即数	2/3	1010 1001 IADD RESS 转移地址
BLPD	程序存储器至数据存储器的块传送	2/3	1110 0011 IADD RESS 转移地址
BCND	累加器<0时转移	2/4/2	1110 0011 0100 0100 转移地址
	无进位时转移	2/4/2	1100 0011 0000 0001 转移地址
	无溢出时转移	2/4/2	1110 0011 0000 0010 转移地址
	累加器=0时转移	2/4/2	1110 0011 0000 1000 转移地址
	溢出时转移	2/4/2	1110 0011 0010 0010 转移地址
	累加器=0时转移	2/4/2	1110 0011 1000 1000 转移地址
CALA	间接调用子程序	1/4	1011 1110 0011 0000
CALL	调用子程序	2/4	0111 1010 IADD RESS 子程序地址
CC	条件调用子程序	2/4/2	1110 10TP ZLVC ZLVC 子程序地址
CMPL	累加器求补	1/1	1011 1110 0000 0001
CMPR	辅助寄存器与辅助寄存器AR0比较	1/1	1011 1111 0100 01CM
CLRC	把片内DARAM B0块配置为数据存储器	1/1	1011 1110 0100 0100
SETC	把片内DARAM B0块配置为程序存储器	1/1	1011 1110 0100 0101
	禁止中断	1/1	1011 1110 0100 0001
DMOV	在数据存储器内进行数据移动	1/1	0111 0111 IADD RESS
CLRC	使能中断	1/1	1011 1110 0100 0000
IDLE	空闲直至中断发生	1/1	1011 1110 0010 0010
IN	从端口输入数据	2/2	1010 1111 IADD RESS 16位端口地址
INTR	软件中断	1/4	1011 1110 0111
LACC	移位装载累加器	1/1	0001 SHFT IADD RESS
LACL	用短立即数装载累加器	1/1	1011 1001 8位 CNST
LACT	按T寄存器内容移位并装载累加器	1/1	0110 1011 IADD RESS
LACC	将长立即数移位并装载累加器	2/2	1011 1111 1000 SHFT 16位常数
LAR	装载辅助寄存器	1/2	0000 0ARx IADD RESS
	用短立即数装载辅助寄存器	1/2	1011 0ARx 8位 CNST

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号
 信箱：武汉市70020信箱
 电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com
 邮编：430079
 传真：(86) (027) 87491166, 87493497

MAR	装载辅助寄存器指针	1/1	1000 1011 1000 1ARx
LDP	装载数据存储器页指针	1/2	0000 1101 IADD RESS
LDP	用立即数装载数据存储器页指针	1/2	1011 110 页指针
LPH	装载P寄存器高位字	1/1	0111 0101 IADD RESS
LAR	用长立即数装载辅助寄存器	2/2	1011 1111 0000 1ARx 16位常数
LST	装载状态寄存器ST0	1/2	0000 1110 IADD RESS
	装载状态寄存器ST1	1/2	0000 1111 IADD RESS
LT	装载T寄存器	1/1	0111 0011 IADD RESS
LTA	装载T寄存器并累加前次乘积	1/1	0111 0000 IADD RESS
LTD	装载T寄存器, 累加前次乘积, 并移动数据	1/1	0111 0010 IADD RESS
LTP	装载T寄存器且把P寄存器存储到累加器中	1/1	0111 0001 IADD RESS
LTS	装载T寄存器并减去前次乘积	1/1	0111 0100 IADD RESS
MAC	乘且累加	2/3	1010 0010 IADD RESS 16位常数
MACD	乘加并进行数据移动	2/3	1010 0011 IADD RESS 16位常数
MAR	修改辅助寄存器	1/1	1000 1011 IADD RESS
MPY	乘(与T寄存器乘, 其乘积存储在P寄存器中)	1/1	0101 0100 IADD RESS
	乘立即数	1/1	110C CNST ANT _x xxx
MPYA	乘且累加前次乘积		0101 0000 IADD RESS
MPYS	乘且减去前次乘积		0101 0001 IADD RESS
MPYU	无符号乘	1/1	0101 0101 IADD RESS
NEG	累加器求负	1/1	1011 1110 0000 0010
NMI	不可屏蔽中断	1/4	1011 1110 0101 0010
NOP	空操作	1/1	1000 1011 0000 0000
NORM	规格化累加器的内容	1/1	1010 0000 IADD RESS
OR	与累加器“或”	1/1	0110 1101 IADD RESS
	将立即数移位并与累加器“或”	2/2	1011 1111 1100 SHFT 16位常数
	将立即数移位16位并与累加器“或”	2/2	1011 1110 1000 0010 16位常数
OUT	数据从端口输出	2/3	0000 1100 IADD RESS 16位/O端口地址
PAC	用P寄存器装载累加器	1/1	1011 1110 0000 0011
POP	栈顶弹出至累加器低位字	1/1	1011 1110 0011 0010
POPD	栈顶弹出至数据存储器	1/1	1000 1010 IADD RESS
PSHD	数据存储器值进栈	1/1	0111 0110 IADD RESS
PUSH	累加器低位字进栈	1/1	1011 1110 0011 1100

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

信箱: 武汉市70020信箱

电话: (86) (027) 87493500 ~ 87493506

P&S网网址: <http://www.p8s.com>

邮编: 430079

传真: (86) (027) 87491166, 87493497

CLRC	复位进位位	1/1	1011	1110	0100	1110
RETC	从子程序条件返回	1/4/2	1110	11TP	ZLVC	ZLVC
RET	从子程序返回	1/4	1110	1111	0000	0000
ROL	累加器循环左移	1/1	1011	0000	1100	
ROR	累加器循环右移	1/1	1011	1110	0000	1101
CLRC	复位溢出方式	1/1	1011	1110	0100	0010
	复位符号扩展方式	1/1	1011	0100	0110	
	复位测试/控制标志	1/1	1011	1110	0100	1010
	复位外部标志	1/1	1011	1110	0100	1100
RPT	按数据存储器规定的值重复执行下一条指令	1/1	0000	1011	IADD	RESS
RPT	按立即数规定的值重复执行下一条指令	1/1	1011	1011	REPE	ATxx
SACH	移位存储累加器高位字	1/1	1001	1SHF	IADD	RESS
SACL	移位存储累加器低位字	1/1	1001	0SHF	IADD	RESS
SAR	存储辅助寄存器	1/1	1000	0ARx	IADD	RESS
SBRK	从辅助寄存器减去立即数	1/1	0111	1100	8位	CNST
SETC	设置进位位	1/1	1011	1110	0100	1111
SFL	累加器左移	1/1	1011	1110	0000	1001
SFR	累加器右移	1/1	1011	1110	0000	1010
SETC	设置溢出方式	1/1	1011	1110	0100	0011
SPAC	从累加器减去P寄存器	1/1	1011	1110	0000	0101
SPH	存储P寄存器高位字	1/1	1000	1101	IADD	RESS
SPL	存储P寄存器低位字	1/1	1000	1100	IADD	RESS
SPM	设置P寄存器输出移位方式	1/1	1011	1111	IADD	RESS
SQRA	平方且累加	1/1	0101	0010	IADD	RESS
SQRS	平方并从累加器减去前次的乘积	1/1	0101	0011	IADD	RESS
SST	存储状态寄存器ST0	1/1	1000	1110	IADD	RESS
SST	存储状态寄存器ST1	1/1	1000	1111	IADD	RESS
SPLK	把长立即数存入数据存储器	2/2	1010	1110	IADD	RESS 16位常数
SSXM	设置符号扩展方式	1/1	1011	1110	0100	0111
SETC	设置测试/控制标志	1/1	1011	1110	0100	1011
SUB	长立即数移位后从累加器减去	2/2	1011	1111	1010	SHFT 16位常数
	移位后从累加器减	1/1	0011	SHFT	IADD	RESS
	累加器高位字减	1/1	0110	0101	IADD	RESS
	累加器减去短立即数	1/1	1011	1010	8位	CNST
SUBB	带借位从累加器减	1/1	0110	0100	IADD	RESS
SUBC	条件减	1/1	0000	1010	IADD	RESS
SUBS	抑制符号扩展, 从累加器低位字减	1/1	0110	0110	IADD	RESS

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号
 信箱: 武汉市70020信箱
 电话: (86) (027) 87493500 ~ 87493506

P&S网网址: <http://www.p8s.com>
 邮编: 430079
 传真: (86) (027) 87491166, 87493497

SUBT	按寄存器内容移位后从累加器减	1/1	0110	0111	IADD	RESS
SETC	设置外部标志	1/1	1010	0110	IADD	RESS
TBLR	表读	1/3	1010	0111	IADD	RESS
TBLW	表写	1/3	1011	1110	0101	0001
TRAP	软件中断	1/4	1011	1110	0101	0001
XOR	与累加器“异或”	1/1	0110	1100	IADD	RESS
	立即数移位后与累加器“异或”	2/2	1011	1111	1101	SHFT 16位常数
	立即数移位16位后与累加器“异或”	2/2	1011	1110	1000	0011 16位常数
LACL	累加器清零	1/1	1011	1001	0000	0000
	累加器低位字清零并装载累加器高位字	1/1	0110	1010	IADD	RESS
	累加器低位字清零并无符号扩展装载累加器低位字	1/1	0110	1001	IADD	RESS
ZALR	累加器低位字清零并带舍入装载累加器高位字	1/1	0110	1000	IADD	RESS

2.13 开发支持

德州仪器公司提供适用于'x240系列DSP的开发工具，包括评估处理器性能的工具、代码产生工具、算法开发的工具、以及集成化调试软件和硬件模块。

下列产品支持基于'x240应用的开发。

2.13.1 软件开发工具

汇编器/连接器 (Assembler/linker)

模拟器 (Simulator)

优化的ANSI C编译器 (Optimizing ANSI C Compiler)

应用算法库 (Application algorithms)

C/汇编调试器和代码剖析器 (C/Assembly debugger and code profiler)

2.13.2 硬件开发工具

仿真器XDS510™ (支持x240多处理器系统调试)

文献《The TMS320 Family Development Support Reference Guide (TMS320系列开发支持参考指南)》(文献号SPRU011D)包含适用于TMS320系列器件开发支持产品的有关资料，包括文档在内。有关TMS320文档或德州仪器公司出品的任何其它TMS320支持产品的进一步资料请参见此文献。还有一个附加文献《TMS320 Third Party Support Reference Guide》(文献号SPRU052)，它包含业界其它公司出品的TMS320相关产品和有关资料。要取得TMS320文献的副本，请致电800/477-8924与文献应答中心联系。

'x240开发支持工具的完整清单参见表11和表12。有关价格和供货的信息，请与附近的TI区域销售机构或授权分销商联系。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com

邮编：430079

传真：(86) (027) 87491166, 87493497

表11 TMS320x240开发支持工具

开发工具	平台	部件号
软 件		
编译器/汇编器/连接器	SPARC™	TMDS3242555-08
编译器/汇编器/连接器	PC-DOS™	TMDS3242855-02
汇编器/连接器	PC-DOS, OS/2™	TMDS3242850-02
模拟器	PC-DOS, WIN	TMDS3245851-02
模拟器	SPARC	TMDS3245551-01
数字滤波器设计包	PC-DOS	DFDP
调试器/仿真软件	PC-DOS, OS/2, WIN	TMDS3240120
调试器/仿真软件	SPARC	TMDS3240620
硬 件		
XDS510™XL仿真器	PC-DOS, OS/2	TMDS00510
XDS510™WS仿真器	SPARC	TMDS00510WS

表12 TMS320x240专用开发工具

开发工具	平台	部件号
XDS511™仿真板和电源	PC	TMDS00511
XDS511™器件组合套件	PC	TBD
XDS511™逻辑分析仪适配板	PC	TBD
XDS522™仿真系统	PC	TMDX522DSP

SPARC是SPARC国际公司的注册商标。

PC-DOS和OS/2是国际商用机器公司的注册商标。

XDS510, XDS511和XDS522是德州仪器公司的注册商标。

2.13.3 器件和开发支持工具的命名

为了区别产品开发周期中的不同阶段,德州仪器公司为所有TMS320器件和支持工具指定了部件号前缀。每一TMS320的成员具有三个前缀之一:TMX、TMP或TMS。德州仪器公司为其支持工具推荐了两个可能的前缀:TMDX和TMDS。这些前缀代表从工程原型样品(TM/TMX)至完全检验合格的批量器件/工具(TMS/TMDS)的发展阶段,此开发流程规定如下:

器件开发的发展流程:

TMX 实验器件,它未必符合器件电气性能指标

TMP 符合器件电气性能指标的最终硅晶片,但尚未进行质量和可靠性验证

TMS 完全检验合格的批量器件

支持工具开发的发展流程:

TMDX 尚未经德州仪器公司内部质量测试的开发支持产品

TMDS 完全检验合格的开发支持产品

TMS器件和TMDS开发支持工具完全经过鉴定,器件的质量和可靠性已完全得到证明。TI公司标准保证其适用性。

预计原型器件(TM/TMP)比标准批量器件有更大的故障率。由于预期的原型器件的最终使用故障率仍是不确定的,所以德州仪器公司建议在任何批量系统中不要使用这些器件。只有经检验合格的批量器件才能被使用。

TI器件命名也包括器件系列名的后缀。此后缀指出封装类型(例如,N, FN或GB)和温度范围(例如,L)。图14和图15提供了阅读任何TMS320系列成员完整器件名称的图例。

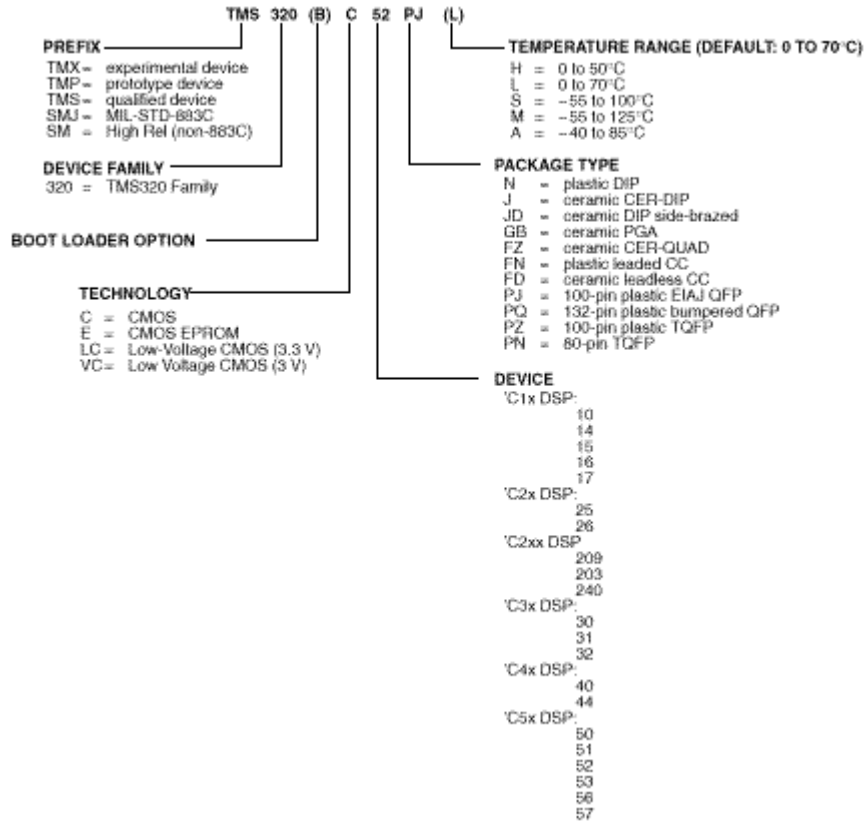


图14 TMS320器件命名规则

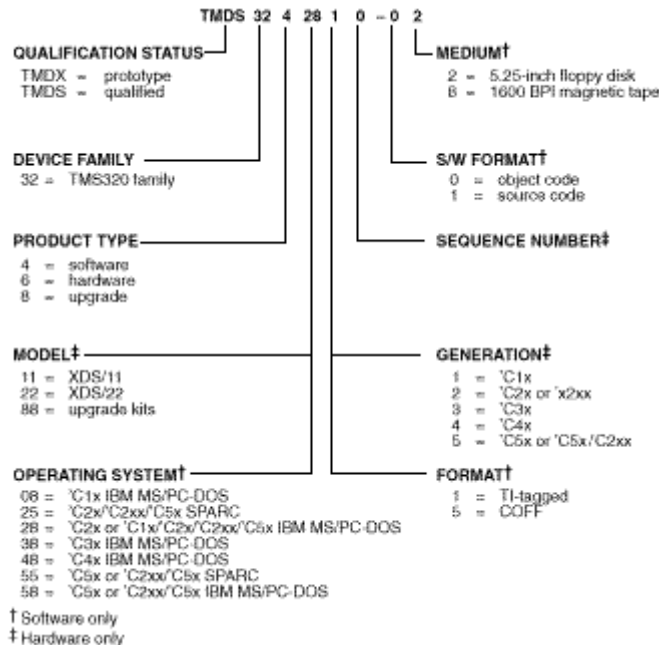


图15 TMS320开发工具命名规则

2.14 文献支持

从产品发布到应用开发，广泛的文献支持所有的TMS320系列器件。文献类型包括：带有设计规格说明的数据手册（如本手册）、适用于所有器件和开发支持工具的用户指南、三卷《TMS320系列数字信号处理应用》以及《TMS320系列数字控制应用》。

应用书籍系列说明了适用于定点和浮点TMS320系列器件的硬件和软件应用，包括算法。《TMS320x240 DSP控制器参考指南》卷1和卷2详细说明了DSP控制器产品。

Prentice-Hall和John Wiley&Sons出版了一系列DSP教科书以支持数字信号处理研究和教育。TMS320的简讯《信号处理评述》每季度出版，使TMS320用户及时更新有关产品的信息。TMS320 DSP BBS提供对TMS320系列有价值信息的访问，包括文献以及许多DSP算法和实用程序的源代码及目标代码。BBS可由713/274-2323获得。

在环球网（World-Wide Web）网址<http://www.ti.com/dsps>上可找到有关TMS320 DSP控制器的最新信息。

2.15 TMS320x240引脚说明

TMS320x240引脚的说明如表13所示。

TMS320x240的引脚说明

引 脚		类型	说 明
名 称	编号		
A0 (LSB)	110	O/Z	并行地址总线A0 (LSB) 至A15 (MSB)。多路复用以寻址外部数据/程序存储器或I/O。当OFF为有效低电平时，置于高阻状态。在掉电方式下，它们保持先前的状态。
A1	111		
A2	112		
A3	114		
A4	115		
A5	116		
A6	117		
A7	118		
A8	119		
A9	122		
A10	123		
A11	124		
A12	125		
A13	126		
A14	127		
A15 (MSB)	128		

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：<http://www.p8s.com>

邮编：430079

传真：(86) (027) 87491166, 87493497

D0 (LSB)	9	I/O/Z	并行数据总线D0 (LSB) 至D15 (MSB)。多路复用以在TMS320x240与外部数据/程序存储器或I/O空间之间传送数据。当无输出, 或处于掉电方式, 或当复位(\overline{RS})被声明, 或者当 \overline{OFF} 为有效低电平时, 数据总线处于高阻状态。
D1	10		
D2	11		
D3	12		
D4	15		
D5	16		
D6	17		
D7	18		
D8	19		
D9	22		
D10	23		
D11	24		
D12	25		
D13	26		
D14	27		
D15 (MSB)	28		
接口控制信号			
\overline{DS}	129	O/Z	数据、程序和I/O空间选择信号。除非为了与特定外部空间通信而被确立为低电平之外, 总是为高电平。在复位、掉电以及 \overline{OFF} 为有效低电平时, 它被置为高阻抗状态。
\overline{PS}	131		
\overline{IS}	130		
READY	36	I	数据准备就绪输入。表示外部器件已完成总线通信准备。如果设备尚未准备就绪 (READY为低电平), 那么处理器将等待一个周期并再次检查READY。
\overline{RW}	4	O/Z	读/写信号。表示与外部器件通信期间的传送方向。除非为了完成写操作而确定为低电平外, 通常处于读方式 (高电平)。在复位、掉电期间以及当 \overline{OFF} 为有效低电平时, 处于高阻状态
\overline{STRB}	6	O/Z	选通信号, 除非为了表示外部总线周期而确定为低电平外, 总是为高电平。在复位、掉电期间以及当 \overline{OFF} 为有效低电平时, 处于高阻状态
\overline{WE}	1	O/Z	写使能 (允许)。 \overline{WE} 的下降沿表示器件正在驱动外部数据总线 (D15-D0)。数据可由外部设备在 \overline{WE} 的上升沿锁存。 \overline{WE} 在所有外部程序、数据以及I/O写时有效。在复位之后或当 \overline{OFF} 为有效低电平时, \overline{WE} 处于高阻状态。
$\overline{W/R}$	132	O/Z	写/读信号。此信号与 \overline{RW} 反相并可直接连接到外部设备的输出使能端上, 在复位之后或当 \overline{OFF} 为有效低电平时, $\overline{W/R}$ 被置为高阻状态
\overline{BR}	5	O/Z	总线请求信号, 在访问外部全局数据存储器空间期间内, \overline{BR} 被声明为有效。 \overline{BR} 可用于把数据存储器地址空间扩展高达32K字。在复位、掉电方式期间内或当 \overline{OFF} 为有效低电平时, \overline{BR} 处于高阻状态
V_{CCP}	50	I	闪存编程电源引脚。如果 $V_{CCP}=5V$, 那么可对整个片内闪存存储器块进行写/擦除, 即可对闪存存储器编程。如果 $V_{CCP}=0V$, 那么不允许对闪存存储器的写/擦除, 因而保护整个存储器块使之不被重写
ADC输入端 (不共用)			
ADCIN2	74	I	第一个ADC的模拟输入端

P&S 武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱: 武汉市70020信箱

邮编: 430079

电话: (86) (027) 87493500 ~ 87493506

传真: (86) (027) 87491166, 87493497

ADCIN3	75	I	
ADCIN4	76	I	
ADCIN5	77	I	
ADCIN6	78	I	
ADCIN7	79	I	
ADCIN10	89	I	第二个ADC的模拟输入端
ADCIN11	88	I	
ADCIN12	83	I	
ADCIN13	82	I	
ADCIN14	81	I	
ADCIN15	80	I	
位I/O和共用的功能引脚			
ADCIN0/IOPA0	72	I/O I	双向数字I/O引脚 第一个ADC的模拟输入引脚
ADCIN1/IOPA1	73	I/O I	双向数字I/O引脚 第一个ADC的模拟输入引脚
ADCIN9/IOPA2	90	I/O I	双向数字I/O引脚 第二个ADC的模拟输入引脚
ADCIN8/IOPA3	91	I/O I	双向数字I/O引脚 第二个ADC的模拟输入引脚
PWM7/CMP7/ IOPB0	100	I/O O/Z	双向数字I/O引脚。简单比较/PWM 1输出引脚。引脚的状态由简单比较/PWM和简单动作控制寄存器 (SACTR) 决定。当未被屏蔽的PDP INT变为有效低电平时, 该引脚变为高阻状态。
PWM8/CMP8/ IOPB1	101	I/O O/Z	双向数字I/O引脚。简单比较/PWM 2输出引脚。引脚的状态由简单比较/PWM和SACTR决定。当未被屏蔽的PDP INT变为有效低电平时, 该引脚变为高阻状态。
PWM9/CMP9/ IOPB2	102	I/O O/Z	双向数字I/O引脚。简单比较/PWM 3输出引脚。引脚的状态由简单比较/PWM和SACTR决定。当未被屏蔽的PDP INT变为有效低电平时, 该引脚变为高阻状态。
T1PWM/T1CMP/ IOPB3	105	I/O O/Z	双向数字I/O引脚。定时器1比较输出端。当未被屏蔽的PDP INT变为有效低电平时, 它变为高阻状态。
T2PWM/T2CMP/ IOPB4	106	I/O O/Z	双向数字I/O引脚。定时器2比较输出端。当未被屏蔽的PDP INT变为有效低电平时, 它变为高阻状态。
T3PWM/T3CMP/ IOPB5	107	I/O O/Z	双向数字I/O引脚。定时器3比较输出端。在未被屏蔽的PDP INT变为有效低电平时, 它变为高阻状态。
TMRDIR/IOPB6	108	I/O O/Z	双向数字I/O引脚。用于定时器的计数方向信号。如果此引脚为低电平, 那么为向上计数方向; 如果此引脚为高电平, 那么为向下计数方向。
TMRCLK/IOPB7	109	I/O I	双向数字I/O引脚 通用定时器的外部时钟输入引脚
ADC SOC/IOPC0	63	I/O I	双向数字I/O引脚 ADC的外部转换启动输入引脚

P&S 武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

信箱: 武汉市70020信箱

电话: (86) (027) 87493500 ~ 87493506

P&S 网址: <http://www.p8s.com>

邮编: 430079

传真: (86) (027) 87491166, 87493497

CAP1/QEP1/ IOPC4	67	I/O I	双向数字I/O引脚 捕获单元1或QEP单元1输入端
CAP2/QEP2/IOPC 5	68	I/O I	双向数字I/O引脚 捕获单元2或QEP单元2输入端
CAP3/IOPC6	69	I/O I	双向数字I/O引脚 捕获单元3输入端
CAP4/IOPC7	70	I/O I	双向数字I/O引脚 捕获单元4输入端
XFIOPC2	65	I/O I	双向数字I/O引脚。外部标志输出(被锁存的软件可编程信号)。在多处理配置中, XF用于向其它处理器发信号或用作通用输出引脚
BIO/IOPC3	66	I/O I	双向数字I/O引脚。转移控制输入引脚。BIO由BIOZ指令查询。如果BIO为低电平, 那么CPU执行转移。如果不用BIO,应把它拉至高电平。
CLKOUT/IOPC1	64	I/O I	双向数字I/O引脚。时钟输出引脚。时钟输出由SCR寄存器中CLKSRC位选择
串行通信和位I/O引脚			
SCITXDIO	44	I/O	SCI异步串口发送数据引脚或通用双向I/O引脚
SCIRXDIO	43	I/O	SCI异步串口接收数据引脚或通用双向I/O引脚
SPISIMOIO	45	I/O	SPI从属输入、主机输出引脚或通用双向I/O引脚
SPISOMIO	48	I/O	SPI从属输出、主机输入引脚或通用双向I/O引脚
SPICLKIO	49	I/O	SPI时钟引脚或通用双向I/O引脚
SPISTEIO	51	I/O	SPI从属发送使能(可选)引脚或通用双向I/O引脚
比较信号			
PWM1/CMP1	94	O/Z	比较单元比较或PWM输出。这些引脚的状态由比较/PWM和ACTR决定。当未被 屏蔽的PDP INT变为有效低电平时, CMP1-CMP6变为高阻状态
PWM2/CMP2	95		
PWM3/CMP3	96		
PWM4/CMP4	97		
PWM5/CMP5	98		
PWM6/CMP6	99		
中断和各种信号			
RS	35	I/O	复位输入。使TMS320x240中止执行并设置PC=0。当把RS位拉至高电平时,则 从程序存储器地址零开始执行。RS影响(或设置至零)各种寄存器和状态位
MP/MC	37	I	MP/MC(微处理器/微计算机)选择。如果为低电平,则选择内部程序存储器。 如果为高电平,则选择外部程序存储器
NMI	40	I	不可屏蔽中断。当此引脚拉至低电平时,无论状态寄存器INTM位的状态如何,器 件都将被中断。
XINT1	53	I	外部用户中断号1
XINT2IO	54	I/O	外部用户中断号2。通用双向I/O引脚
XINT3IO	55	I/O	外部用户中断号3。通用双向I/O引脚
PDP INT	52	I	可屏蔽的电源驱动保护中断。如果PDP INT未屏蔽且它变为有效低电平,那么定 时器比较输出立即变为高阻抗状态

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

P&S网网址: http://www.p8s.com

信箱:武汉市70020信箱

邮编:430079

电话:(86)(027)87493500~87493506

传真:(86)(027)87491166, 87493497

时钟信号			
XTAL2	57	O	PLL时钟源输出引脚。当OFF为有效低电平时，此信号变为高阻状态
XTAL1/CLKW	58	I	PLL时钟源输入
OSCBYP	56	I	若为低电平则振荡器被旁路
电源信号			
V _{SSD1}	3	I	数字逻辑和缓冲地基准
V _{SSD2}	14		
V _{SSD3}	20		
V _{SSD4}	29		
V _{SSD5}	46		
V _{SSD6}	61		
V _{SSD7}	71		
V _{SSD8}	92		
V _{SSD9}	104		
V _{SSD10}	113		
V _{SSD11}	120		
V _{SSDC1}	8	I	数字逻辑地基准
V _{SSDC2}	59		
V _{SSA}	87	I	模拟地基准
V _{CCD1}	2	I	数字逻辑和缓冲电源电压
V _{CCD2}	13		
V _{CCD3}	21		
V _{CCD4}	47		
V _{CCD5}	62		
V _{CCD6}	93		
V _{CCD7}	103		
V _{CCD8}	121		
V _{CCDC1}	7	I	数字逻辑电源电压
V _{CCDC2}	60		
V _{CCA}	84	I	模拟电源电压
V _{refH}	85	I	ADC模拟电压基准高电平
V _{refLo}	86	I	ADC模拟电压基准低电平
测试信号			
PMTMODE	42	I	闪速EEPROM并行测试引脚
TCK	30	I	IEEE标准测试时钟。这通常是具有50%占空比的自激 (free-running) 时钟信号。在TCK的上升沿，测试访问端口 (TAP) 输入信号 (TMS和TD) 的变化被时钟同步送入T320C2xLP核的TAP控制器、指令寄存器或被选择的测试数据寄存器。TAP输出信号 (TD0) 的变化发生在TCK的下降沿
TDI	31	I	IEEE标准测试数据输入 (TDI)。在TCK的上升沿TDI由时钟同步送入所选的指令或数据寄存器

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱:武汉市70020信箱

邮编:430079

电话:(86) (027) 87493500 ~ 87493506

传真:(86) (027) 87491166, 87493497

TDO	34	O/Z	IEEE标准测试数据输出 (TDO)。所选指令或数据寄存器的内容在TCK下降沿移出TDO。当OFF为有效低电平时, TDO处于高阻状态
TMS	33	I	IEEE标准测试方式选择。在TCK的上升沿, 此串行控制输入由时钟同步送入TAP控制器
TRST	32	I	IEEE标准测试复位。TRST为有效低电平时, 给出器件工作的扫描系统控制。如果此信号未连接至或驱动至低电平, 那么器件以其功能方式 (functional mode) 工作, 且测试复位信号被忽略
EMU0	38	I/O/Z	仿真器引脚0。当TRST驱动至低电平时, 为了激活OFF条件, 此引脚必须为高电平 (见引脚64)。当TRST被驱动至高电平时, 此引脚用作送至或来自仿真器系统的中断, 并被定义为通过扫描的输入/输出
EMU1/OFF	39	I/O/Z	仿真器引脚1/禁止所有输出。当TRST被驱动至高电平时, 此引脚用作送至或来自仿真器系统的中断并被定义为通过JTAG扫描的输入/输出。当TRST被驱动至低电平时, 此引脚被配置为OFF。当EMU1/OFF信号为有效低电平时, 将使所有输出驱动处于高阻状态。注意, OFF仅用于测试和仿真目的, 而非用于多处理应用。因此, 对于OFF, 下列条件适用: TRST=低电平, EMU0=高电平, EMU1/OFF=低电平

三、特性

3.1 在工作温度范围内 (自然通风) 的极限参数 (除非另有说明) +

电源电压范围, V _{DD} (见注释1)	-0.3V至7V
输入电压范围	-0.3V至7V
输出电压范围	-0.3V至7V
工作温度范围 (自然通风), T _A	0 至70
存储温度范围, T _{stg}	-55 至150
管壳温度范围, T _C	0 至85

+ 强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数, 并不意味着在极限参数条件下或在任何其它超过推荐工作条件所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

注释1: 所有电压值均相对于V_{SS}。

3.2 TMS320x240推荐工作条件

参 数	测试条件	最小	正常	最大	单位
V _{DD} 电源电压		4.5	5	5.5	V
V _{SS} 电源电压			0		V
V _{IH} 高电平输入电压	OSCIN	3		V _{DD} +0.3	V
	RS	2			
	所有其它引脚	2		V _{DD} +0.3	
V _{IL} 低电平输入电压	OSCIN	-0.3		0.7	V
	RS			0.8	
	所有其它引脚	-0.3		0.8	
I _{OH} 高电平输出电流				-300	μA
I _{OL} 低电平输出电流				2	mA
T _C 外壳温度		0		85	
T _A 工作温度范围 (自然通风)		0		70	

3.3 在推荐电源电压和工作温度（自然通风）范围内，TMS320x240的电特性

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{OH}	High-level output voltage	5-V operation, $I_{OH} = \text{MAX}$	2.4		V
V_{OL}	Low-level output voltage	5-V operation, $I_{OH} = \text{MAX}$		0.6	V
I_I	Input current	$V_I = V_{DD}$ or 0 V	-10	10	μA
I_{OZ}	Off-state output current	$V_O = V_{DD}$ or 0 V		± 5	μA
I_{DD}	Supply current, core CPU	5-V operation, $f_x = 20 \text{ MHz}$		TBD	mA
C_i	Input capacitance		15		pF
C_o	Output capacitance		15		pF

3.4 参数测量资料

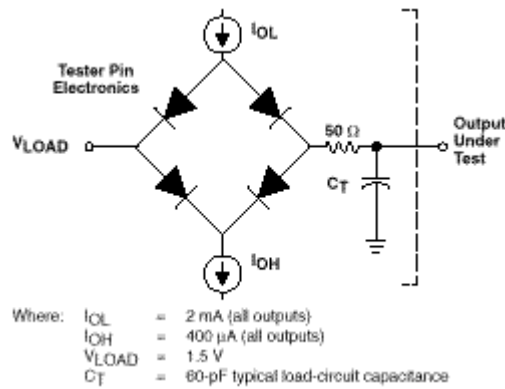


图16 测试负载电路

3.4.1 信号跳变电平

本节的数据适用于5V型（'x240）和3V型（'VC24x）。在每种情况下，首先给出5V数据，其后的括弧内为3V数据。TTL输出电平被驱动至最小逻辑高电平2.4V(2V)或最大逻辑低电平0.6V(0.4V)。图17表示TTL电平输出。

TTL输出瞬变时间规定如下：

* 对于高电平至低电平的跳变，输出不再被认为是高电平的门限是2V（1.8V），输出被认为是低电平的门限为1V（0.8V）。

* 对于低电平至高电平的跳变，输出不再被认为是低电平的门限是1V（0.8V），输出被认为是高电平的门限为2V（1.8V）。

图18表示TTL电平输入。

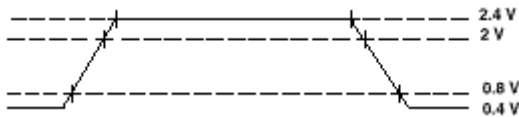


图17 TTL电平输出

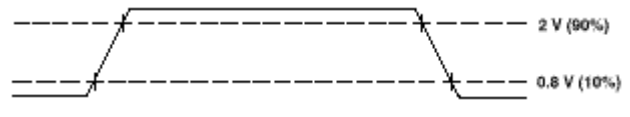


图18 TTL电平输入

TTL兼容输入跳变时间规定如下：

* 对于输入信号由高电平至低电平跳变，输入不再被认为是高电平的门限是2V（1.8V），输入被认为是低电平的门限为0.8V(0.4V)

* 对于输入信号由低电平至高电平跳变，输入不再被认为是低电平的门限是0.8V(0.4V)，输入被认为是高电平的门限为2V（1.8V）

3.4.2 时序参数符号

所使用的时序参数符号是按照JEDEC标准100-A而创建的。为了缩短符号，某些引脚名称和其它相关的术语已缩写如下：

A	A[15 : 0]	MS	存储器选通引脚 \overline{IS} ， \overline{DS} 或 \overline{PS}
Cl	OSCIN	R	READY
CO	CLKOUT	RD	读周期或 \overline{RD}
D	D[15 : 0]	RS	复位引脚 \overline{RS} 或 \overline{RS}
IN	INT[3 : 1]或 \overline{INTx}	W	写周期或 \overline{WE}

小写下标及其含义为：

a	存取时间
c	周期时间
d	延迟时间
f	全时间 (full time)
h	保持时间
r	上升时间
su	建立时间
t	跳变时间
v	有效时间
w	脉冲持续时间 (宽度)

下列字母和符号及其意义为：

H	高
L	低
V	有效
Z	高阻抗
X	未知、变化或无关的电平

3.4.3 时序参数的一般性注释

来自TMS320x240器件的所有输出信号 (包括CLKOUT) 均由内部时钟导出，从而所有输出跳变均以相互为最小的斜升率发生。

下面的时序图所示的信号组合可能不一定代表实际周期。关于实际周期的例子，请参见本数据手册中适当的周期说明部分。

3.5 存储器和外设接口的时序关系

3.5.1 存储器和并行I/O接口读

除了当 \overline{PS} 、 \overline{DS} 和 \overline{IS} 处于脉冲高电平[见 $t_{W(NSN)}$]时，读和写操作之间发生转变的过程外，A15-A0、 \overline{PS} 、 \overline{DS} 、 \overline{IS} 、RW和BR的时序关系均包括在以A15-A0为参考的时序关系中。

3.5.1.1 在推荐的工作条件范围内的开关特性 @5V [H=0.5 $t_{c(co)}$]

PARAMETER	MIN	MAX	UNIT
$t_{su}(A)RD$ Setup time, address valid before W/R low	H + 2	H + 5	ns
$t_h(A)RD$ Hold time, address valid after W/R high	TBD		ns
$t_d(CO-A)$ Delay time, address valid after CLKOUT low	9	10	ns
$t_d(CO-RD)$ Delay time, CLKOUT high/low to W/R low/high	4	6	ns
$t_d(CO-S)$ Delay time, CLKOUT low to STRB low/high \uparrow	TBD	TBD	ns
$t_w(RDL)$ Pulse duration, W/R low (no wait states)	TBD	TBD	ns
$t_d(RDW)$ Delay time, W/R high to \overline{WE} low	H - 1	H + 1	ns

+ 数值由特性数据导出，未经测试。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号	P&S网址：http://www.p8s.com
信箱：武汉市70020信箱	邮编：430079
电话：(86) (027) 87493500 ~ 87493506	传真：(86) (027) 87491166, 87493497

3.5.1.2 在推荐的工作条件范围内的时序要求 @5V [H=0.5t_{c(co)}]

		MIN	MAX	UNIT
t _{a(A)}	Access time, read data from address time		H + 5	ns
t _{su(D)RD}	Setup time, data read before W/F high		TBD	ns
t _{h(D)RD}	Hold time, data read from W/F high		TBD	ns
t _{h(D)A}	Hold time, read data from address invalid		TBD	ns
t _{su(DCOL)R}	Setup time, data read before CLKOUT low		9	ns
t _{h(DCOL)R}	Hold time, data read from CLKOUT low		0	ns
t _{a(RD)}	Access time, read data after W/F low		TBD	ns

注释：为了选择DSP时钟输出，所有相对于CLKOUT的时序关系均假设CLKSRC (0 : 1) 位被置位。

3.5.2 存储器并行I/O接口写

除了当PS、DS和IS处于脉冲高电平[见t_{w(MSH)}]时，读和写操作之间发生转变的过程外，A15-A0、PS、DS、TS、RW和BR的时序关系均包括在以A15-A0为参考的时序关系中。

3.5.2.1 在推荐工作条件范围内的开关特性 @5V [H=0.5t_{c(co)}]

PARAMETER		MIN	MAX	UNIT	
t _{su(A)W}	Setup time, address valid before WE low	H - 1	H - 5	ns	
t _{h(A)W}	Hold time, address valid after WE high	2H + 2	2H + 6	ns	
t _{su(A)CO}	Setup time, address valid before CLKOUT low	H - 10	H - 9	ns	
t _{h(A)COw}	Hold time, address valid after CLKOUT low		9	ns	
t _{w(NSN)}	Pulse duration, IS, DS, PS inactive high†		H	ns	
t _{w(WL)}	Pulse duration, WE low (no wait states)	2H - 1	2H + 1	ns	
t _{w(WH)}	Pulse duration, WE high		4H	ns	
t _{d(CO-W)}	Delay time, CLKOUT low to WE low/high		5	ns	
t _{d(WRD)}	Delay time, WE high to RD low		H	ns	
t _{su(D)W}	Setup time, write data valid before WE high	2H - 3	2H - 8	ns	
t _{h(D)W}	Hold time, write data valid after WE high		H + 1	ns	
t _{su(DCOL)W}	Setup time, write data valid before CLKOUT low	2H - 14	2H - 10	ns	
t _{h(DCOL)W}	Hold time, write data valid after CLKOUT low	2H - 15	2H - 14	ns	
t _{en(D)W}	Enable time, WE to data bus driven †	- 1	1	ns	
t _{hz(D)W}	High-impedance time, WE high to data bus high-z		0	5	ns

+ 数值由特性数据导出，未经测试。

3.5.3 存储器接口读写时序图

存储器接口的读写时序分别如图19和图20所示。

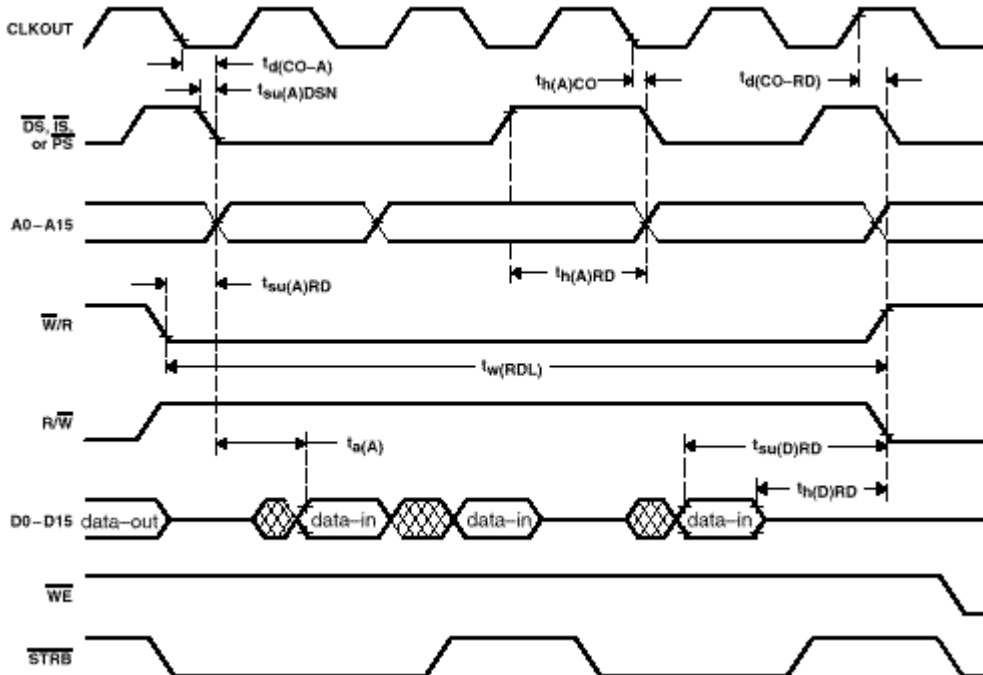


图19 存储器接口读时序

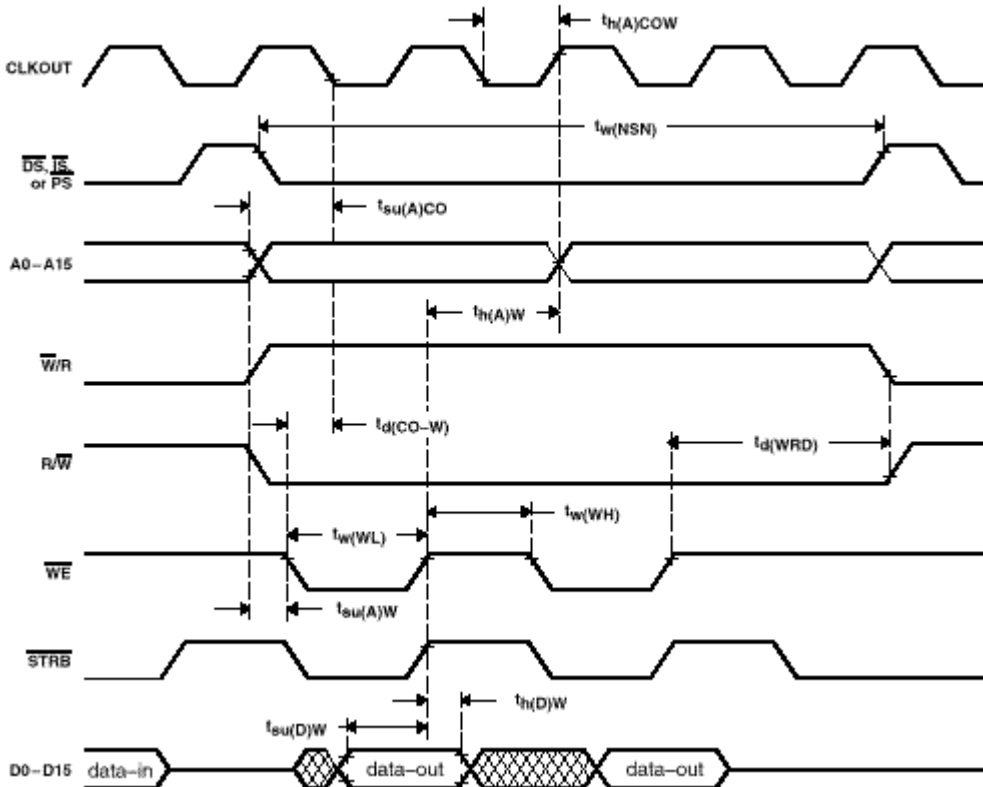


图20 存储器接口写时序

3.6 READY时序关系

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

P&S网网址：<http://www.p8s.com>

信箱：武汉市70020信箱

邮编：430079

电话：(86) (027) 87493500 ~ 87493506

传真：(86) (027) 87491166, 87493497

3.6.1 在推荐的工作条件范围内的时序要求[H=0.5t_{c(co)}]

	MIN	MAX	UNIT
t _{su(R-CO)} Setup time, READY before CLKOUT1 rises	TBD		ns
t _{h(CO-R)} Hold time, READY low after CLKOUT1 rises	TBD		ns
t _{su(R)RD} Setup time, READY before RD falls	TBD		ns
t _{h(R)RD} Hold time, READY after RD falls	TBD		ns
t _{v(R)W} Valid time, READY after WE falls	TBD		ns
t _{h(R)W} Hold time, READY after WE falls	TBD		ns
t _{v(R)Ar} Valid time, READY after address valid on read	TBD		ns
t _{v(R)Aw} Valid time, READY after address valid on write	TBD		ns

3.6.2 READY时序图

READY的时序关系如图21所示。

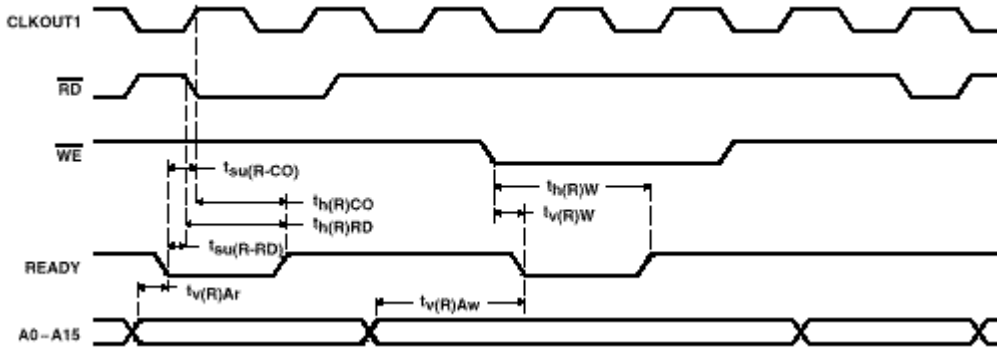


图21 READY时序图

3.7 RS、XINT1-XINT3、NMI、BIO以及XF的时序关系

INTN指BIO_x、XINT1_x-XINT3_x、以及NMI。

3.7.1 在推荐的工作条件范围内的开关特性[H=0.5t_{c(co)}]

PARAMETER	MIN	MAX	UNIT
t _{d(XF)} Delay time, XF valid after CLKOUT	0 [†]	13	ns

+ 数值从特性数据导出，未经测试。

3.7.2 在推荐的工作条件范围内的时序要求[H=0.5t_{c(co)}]

	MIN	MAX	UNIT
t _{su(RS)Cl} Setup time, RS no longer high before CLKIN low	11		ns
t _{su(RS)CO} Setup time, RS no longer low before CLKOUT low	14		ns
t _{w(RSL)} Pulse duration, RS low	12H		ns
t _{d(EX)} Delay time, RS high to reset-vector fetch	34H		ns
t _{su(IN)CO} Setup time, INTx before CLKOUT low (synchronous)	10		ns
t _{h(IN)CO} Hold time, INTx after CLKOUT low (synchronous)	0		ns
t _{w(IN)} Pulse duration, INTx low/high	2H + 18		ns
t _{d(IN)} Delay time, INTx low to interrupt-vector fetch	12H		ns

3.7.3 复位、中断和BIO以及XF时序图

复位、中断和BIO以及XF的时序分别如图22、23和24所示。



图22 复位时序图

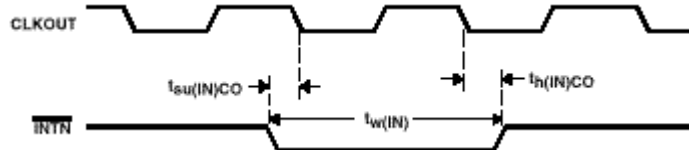


图23 中断和BTO时序图

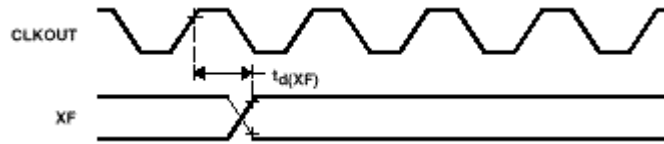


图24 XF时序图

3.8 SCI的时序关系

3.8.1 内部时钟SCI的时序特性和要求 (见注释2和图25)

	MIN	MAX	UNIT
$t_c(SCC)$	$2t_c$	$131.072t_c$	ns
$t_w(SCCL)$	$t_c - 45$	$0.5t_c(SCC)+45$	ns
$t_w(SCCH)$	$t_c - 45$	$0.5t_c(SCC)+45$	ns
$t_d(SCCL-TXDV)$	-50	60	ns
$t_v(SCCH-TXD)$	$t_w(SCCH) - 50$		ns
$t_{su}(RXD-SCCH)$	$0.25 t_c + 145$		ns
$t_v(SCCH-RXD)$	0		ns

注释2： t_c =系统时钟周期时间=1/SYSCLK。

3.8.2 内部时钟SCI时序

内部时钟SCI的时序关系如图25所示。

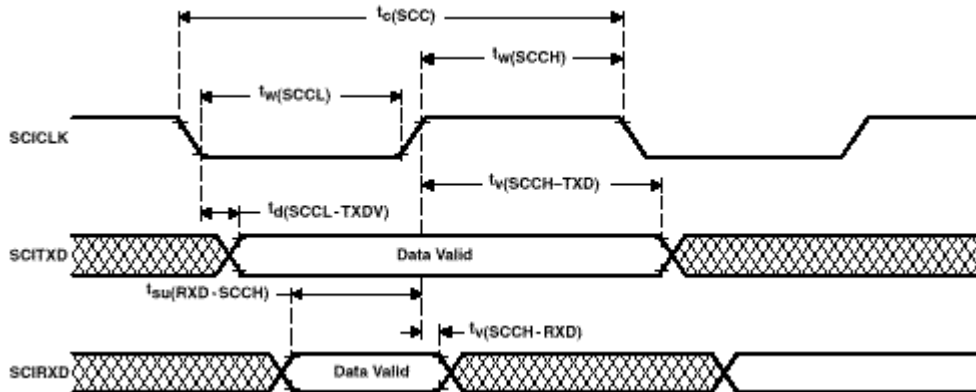


图25 内部时钟SCI时序图

3.9 SPI的时序关系

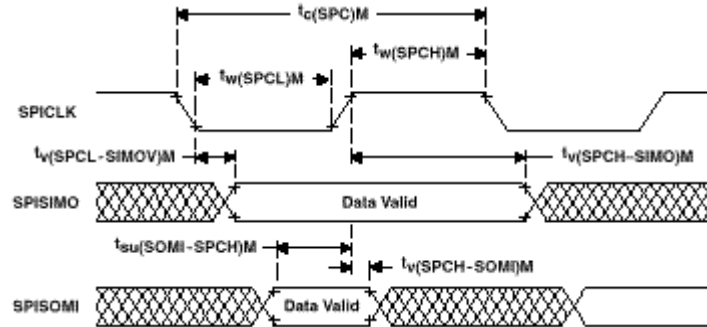
3.9.1 SPI主机方式外部时序特性要求 (见注释2和图26)

	MIN	MAX	UNIT
$t_c(SPCM)$	$2t_c$	$256t_c$	ns
$t_w(SPCL M)$	$t_c - 45$	$0.5t_c(SPC)+45$	ns
$t_w(SPCH M)$	$t_c - 55$	$0.5t_c(SPC)+45$	ns
$t_d(SPCL-SIMO M)$	-65	50	ns
$t_v(SPCH-SIMO M)$	$t_w(SPCH) - 50$		ns
$t_{su}(SOMI-SPCH M)$	$0.25 t_c + 150$		ns
$t_v(SPCH-SOMI M)$	0		ns

注释2： t_c =系统时钟周期时间=1/SYSCLK。

3.9.2 SPI主机方式外部时序图

SPI主机方式下外部时序关系如图26所示。



注释A：此图表示极性 (polarity) = 1。当极性=0时，SPICLK反相。

图26 SPI主机方式外部时序图

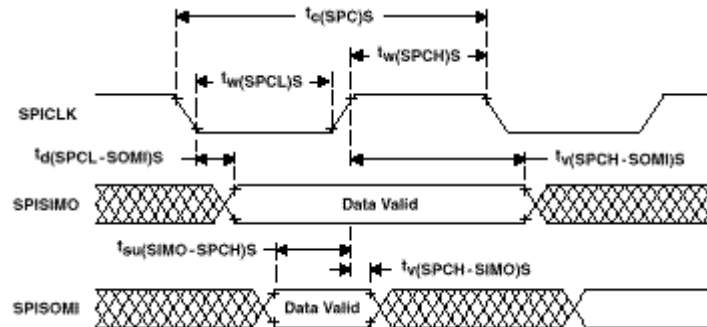
3.9.3 SPI从机方式外部时序特性和要求 (见注释2和图27)

	MIN	MAX	UNIT
$t_c(\text{SPC})\text{S}$ Cycle time, SPICLK	$8t_c$		ns
$t_w(\text{SPCL})\text{S}$ Pulse duration, SPICLK low	$4t_c - 45$	$0.5t_c(\text{SPC})\text{S} + 45$	ns
$t_w(\text{SPCH})\text{S}$ Pulse duration, SPICLK high	$4t_c - 45$	$0.5t_c(\text{SPC})\text{S} + 45$	ns
$t_d(\text{SPCL-SIMOV})\text{S}$ Delay time, SPISIMO valid after SPICLK low (polarity = 1)		$3.25t_c + 130$	ns
$t_v(\text{SPCH-SOMI})\text{S}$ Valid time, SPISOMI data valid after SPICLK high (polarity = 1)		$t_w(\text{SPCH})\text{S}$	ns
$t_{su}(\text{SIMO-SPCH})\text{S}$ Setup time, SPISIMO to SPICLK high (polarity = 1)	0		ns
$t_v(\text{SPCH-SIMO})\text{S}$ Valid time, SPISIMO data after SPICLK high (polarity = 1)	$3t_c + 100$		ns

注释2： t_c =系统时钟周期时间=1/SYSCLK。

3.9.4 SPI从机方式外部时序图

SPI从机方式下外部时序关系如图27所示。



注释A：此图表示极性 (polarity) = 1。当极性=0时，SPICLK反相。

图27 SPI从机方式外部时序图

3.10 10位双模拟数字转换器 (ADC)

10位双ADC转换器有单独的电源总线用于其模拟电路。这些引脚被称为 V_{CCA} 和 V_{SSA} 。其目的是通过防止可能耦合到ADC模拟级的 V_{SSX} 和 V_{CCX} 上的逻辑电路数字开关噪声来增强ADC的性能。除非另有说明，所有ADC的技术指标均相对于 V_{SSA} 给出。

分辨率 10位 (1024个值)
 单调性 是
 输出转换方式 00h至FFh

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号 P&S网网址：http://www.p8s.com
 信箱：武汉市70020信箱 邮编：430079
 电话：(86) (027) 87493500 ~ 87493506 传真：(86) (027) 87491166, 87493497

(对于 V_1 V_{SSA} 为00；对于 V_1 V_{ref} 为FF)

转换时间（不包括采样时间） $100t_c$

3.10.1 推荐的工作条件

	MIN	NOM	MAX	UNIT
V_{CCA} Analog supply voltage	4.5	5	5.5	V
V_{SSA} Analog ground	$V_{CCA}-3$		$V_{CCA}+0.3$	V
V_{ref} Non- V_{CCA} reference†	2.5	V_{CCA}	$V_{CCA}+0.1$	V
Analog input for conversion	V_{SSA}		V_{ref}	V

+ 在整个转换时间内， V_{ref} 必须是稳定的，所需分辨率在 $\pm 1/2LSB$ 之内。

3.10.2 在推荐的工作条件范围内的工作特性

PARAMETER		MIN	MAX	UNIT
Absolute accuracy†	$V_{CCA} = 5.5 V$ $V_{ref} = 5.1 V$		TBD	LSB
Differential/Integral linearity error†‡	$V_{CCA} = 5.5 V$ $V_{ref} = 5.1 V$		TBD	LSB
I_{CCA} Analog supply current	Converting		TBD	mA
	Nonconverting		TBD	μA
I_t	input current, ADCIN1 – ADCIN16	$0 V \leq V_1 \leq 5.5 V$		μA
	I_{ref} input charge current			TBD
Z_{ref} Source impedance of V_{refH} and V_{refL}	$SYSCLK \leq 3 MHz$			k Ω
	$3 MHz < SYSCLK \leq 10 MHz$			TBD

+ 绝对分辨率=20mV。当 $V_{ref}=5V$ 时，这等于一个LSB。当 V_{ref} 减小时，LSB亦减少。从而，以LSB计的绝对精度和差分/积分线性度误差随之增大。

不包括1/2LSB的量化误差。

ADC模块使得模拟输入源的设计具有充分的自由。采样时间周期是用户定义的，因此可允许高阻抗而不会损害低阻抗源。当ADC控制寄存器的SAMPLE START位（ADCTL.6）被置为1时，采样周期开始。当转换位（CONVERT START,ADCTL.7）被置为1时，信号采样周期结束。在保持时间之后，转换器复位SAMPLE START和CONVERT START位，告知转换已开始，模拟信号可以撤除。

3.10.3 模拟时序要求

	MIN	MAX	UNIT
$t_{su}(S)$ Setup time, analog to sample command	0		ns
$t_{h}(AN)$ Hold time, analog input from start of conversion		TBD	ns
$t_w(S)$ Pulse duration, sample time per kilohm of source impedance†	1		$\mu s/k\Omega$

+ 给定的数值适用于源阻抗 $> 1k$ 的信号。如果源阻抗 $< 1k$ ，那么最小采样时间为 $1\mu S$ 。

3.10.4 模拟时序图

模拟输入、采样开始以及转换开始的时序关系如图28所示。

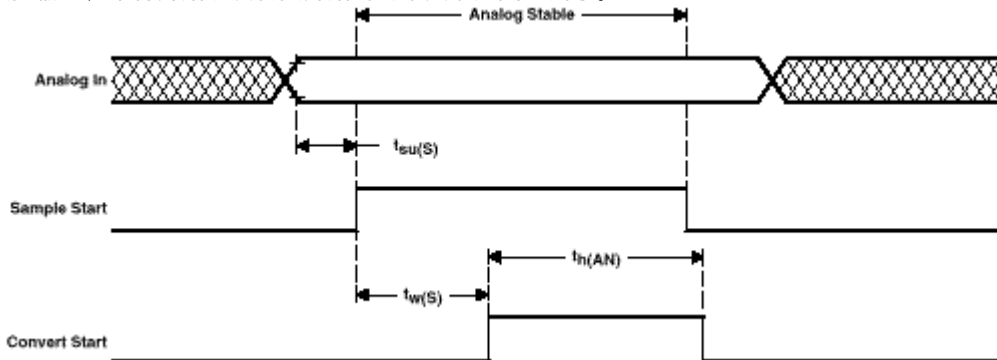


图28 模拟时序图