

TMS320C203

TMS320C209

TMS320VC203

数字信号处理器

一、概述

1.1 一般说明

TMS320C2xx是德州仪器公司TMS320系列数字信号处理器（DSP）的新一代产品，它采用静态CMOS集成电路制造技术，其结构设计以TMS320C5x系列为基础，并按低功耗进行优化（见表1）。先进的哈佛（Harvard）结构、片内外围模块、片内存储器和高度专业化指令系统的结合是[^]C2xx器件工作灵活性和高速度的基础。

TMS320C203为100脚PZ封装，而TMS320C209为80脚PN封装。

[^]C2xx具有如下优点：

- 高性能和通用性的增强TMS320结构设计
- 高性能的先进集成电路工艺设计技术
- [^]C2xx DSP的源代码（Source code）与[^]C1x和[^]C2x DSP软件兼容，并与第五代DSP（[^]C5x）向上兼容
- 功耗最小和增加抗辐射容限的新静态设计技术

表2提供了[^]C2xx这代器件的比较，给出了片内RAM和ROM存储器的容量、串行和并行I/O口的数目、单机器周期的执行时间和封装型式。

表1 低功耗

功耗	TMS320C203	TMS320C209
3V	1.1mA/MIPS	N/A
5V	1.9mA/MIPS	1.9mA/MIPS

表2 TMS320C2xx处理器的特性

TMS320C2xx 器件	ON-CHIP MEMORY			I/O口		电源 (V)	周期 (NS)	封装类型- 引脚数
	RAM		ROM	串口	并口			
	DATA	DATA/PROG	PROG					
TMS320C203	288	256	0	2	64K	3/5	50/35/25	PZ 100-PIN
TMS320C209	288	4K+256	4K	0	64K	5	50/35	PN 80-PIN

1.2 特点

- 高性能静态CMOS技术
- 具有TMS320C2xLP CPU内核
- 16位定时器
- 指令周期时间

[^] C203	[^] C209
5V时50ns	5V时50ns
5V时35ns	5V时35ns
5V时25ns	
3V时35ns	
3V时50ns	

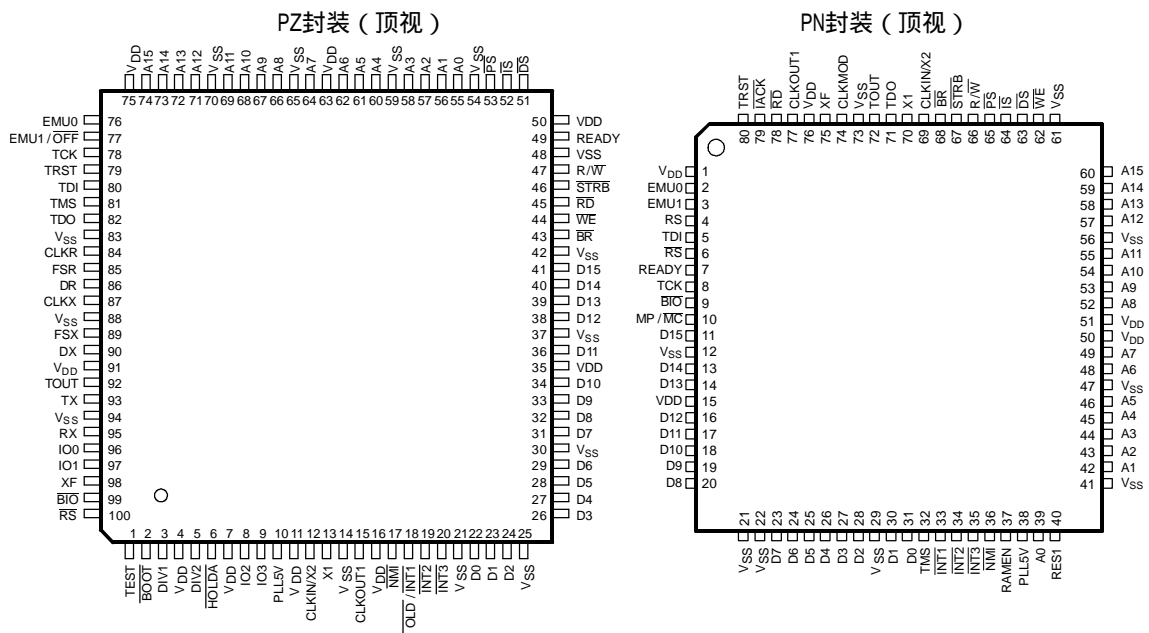
P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号
信箱：武汉市70020信箱
电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com
邮编：430079
传真：(86) (027) 87491166, 87493497

- 源代码与TMS320C25兼容
- 源代码与TMS320C5x向上兼容
- TMS320C203为100脚PZ封装
- TMS320C209为80脚PN封装
- 3个外部中断
- TMS320C2xx集成存储器：
 - 544字（16位）的片内双口数据RAM（‘C2xx）
 - 4K字（16位）的片内单口程序/数据RAM（仅‘C209）
 - 4K字（16位）的片内程序ROM（仅‘C209）
- 224K × 16位最大可寻址外部存储器空间（64K程序、64K数据、64K I/O和32K全局数据空间）
- 32位ALU/累加器
- 具有32位乘积输出的16 × 16位乘法器
- 数据、程序、I/O口空间的块移动
- TMS320C2xx片内外围模块：
 - 片内16位定时器
 - 每个间隔可由软件编程插入一个等待状态（仅‘C209）
 - 每个间隔可由软件编程插入0~7个等待状态（仅‘C203）
 - 片内振荡器
 - 一个带4级深度FIFO的同步串口（仅‘C203）
 - 全双工异步串口（UART）（仅‘C203）
- 输入时钟选择：
 - × 1、× 2、× 4、÷ 2（‘C203）
 - × 2、÷ 2（‘C209）
- 支持硬件等待状态
- 掉电闲置方式
- 基于扫描的仿真
- 3V时电流为1.1mA/MIPS

1.3 引脚排列及说明



P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号 P&S网网址：http://www.p8s.com
 信箱：武汉市70020信箱 邮编：430079
 电话：(86) (027) 87493500 ~ 87493506 传真：(86) (027) 87491166, 87493497

TMS320C203接口信号

引脚		I/O/Z*	说 明
名称	编号		
数据 and 地址总线			
D15	41	I/O/Z	并行数据总线D15 (MSB) 至D0 (LSB)。多路复用在TMS320C2xx与外部数据/程序存储器或I/O器件之间传输数据。不是正在输出 ($\overline{R/W}$ 为高电平) 或 \overline{RS} 被确立时, 置为高阻状态。当 \overline{OFF} 为有效低电平时, 进入高阻状态
D14	40		
D13	39		
D12	38		
D11	36		
D10	34		
D9	33		
D8	32		
D7	31		
D6	29		
D5	28		
D4	27		
D3	26		
D2	24		
D1	23		
D0	22		
A15	74	O/Z	并行地址总线A15 (MSB) 至A0 (LSB)。多路复用以寻址外部数据/程序存储器或I/O器件。当 \overline{OFF} 为有效低电平时, 这些信号进入高阻状态
A14	73		
A13	72		
A12	71		
A11	69		
A10	68		
A9	67		
A8	66		
A7	64		
A6	62		
A5	61		
A4	60		
A3	58		
A2	57		
A1	56		
A0	55		

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号
 信箱: 武汉市70020信箱
 电话: (86) (027) 87493500 ~ 87493506

P&S网网址: <http://www.p8s.com>
 邮编: 430079
 传真: (86) (027) 87491166, 87493497

续上表

引脚		I/O/Z ⁺	说 明
名称	编号		
存储器控制信号			
\overline{PS}	53	0/Z	程序空间选择信号。除非为了与片外程序空间通讯而被确立为低电平之外， \overline{PS} 总是高电平。当 \overline{OFF} 为有效低电平时， \overline{PS} 进入高阻状态
\overline{DS}	51	0/Z	数据空间选择信号。除非为了与片外程序空间通讯而被确立为低电平之外， \overline{DS} 总是高电平。当 \overline{OFF} 为有效低电平时， \overline{DS} 进入高阻状态
\overline{IS}	52	0/Z	I/O空间选择信号。除非为了与输入/输出接口通讯而被确立为低电平之外， \overline{IS} 总是高电平。当 \overline{OFF} 为有效低电平时， \overline{IS} 进入高阻状态
READY	49	I	数据准备就绪输入。READY指示外部器件已完成总线传输准备。如果器件未准备就绪（READY为低电平），那么TMS320C203将等待1个周期并再次检测READY。如果不用READY，应将其拉至高电平
$\overline{R/W}$	47	0/Z	读/写信号。 $\overline{R/W}$ 指示同外部器件通讯时的传输方向。除非为了完成写操作而被确立为低电平之外，通常处于读方式（高电平）。当 \overline{OFF} 为有效低电平时， $\overline{R/W}$ 进入高阻状态
\overline{RD}	45	0/Z	读选择。指示有效的外部读周期，可直接连接至外部器件的输出使能（ \overline{OE} ）端。对所有外部程序、数据和I/O的读操作， \overline{RD} 都是有效的。当 \overline{OFF} 为有效低电平时， \overline{RD} 进入高阻状态
\overline{WE}	44	0/Z	写使能。 \overline{WE} 的下降沿指示器件驱动外部数据总线（D15-D0）。数据可在 \overline{WE} 的上升沿被外部器件锁存。对所有外部程序、数据和I/O的写操作， \overline{WE} 都是有效的。当 \overline{OFF} 为有效低电平时， \overline{WE} 进入高阻状态
\overline{STRB}	46	0/Z	选通信号。除非为了指示外部总线周期而被确立为低电平外， \overline{STRB} 总是高电平。当 \overline{OFF} 为有效低电平时， \overline{STRB} 进入高阻状态
多处理信号			
\overline{BR}	43	0/Z	总线请求信号。当访问全局数据存储器时， \overline{BR} 被确立为有效。当 \overline{OFF} 为有效低电平时， \overline{BR} 进入高阻状态
\overline{HOLDA}	6	0/Z	保持确认信号。 \overline{HOLDA} 向外部电路指示处理器处在保持状态，地址、数据和存储器控制线为高阻状态，因而外部电路可以使用这些线存取局部存储器。当 \overline{OFF} 为有效低电平时， \overline{HOLDA} 进入高阻状态
XF	98	0/Z	外部标志输出（被锁存的软件可编程信号）。XF用于通知多处理器结构中其它处理器，或用作通用输出引脚。当 \overline{OFF} 为有效低电平时，XF进入高阻状态。
\overline{BIO}	99	I	转移控制输入。当被BIOZ指令查询时，如果此时 \overline{BIO} 为低电平，则TMS320C203执行转移。如果不用 \overline{BIO} ，应拉至高电平
I00	96	I/O/Z	通过异步串口寄存器（ASPCR）可编程控制的输入/输出引脚。复位时这些引脚被置为输入。这些引脚可用作通用输入/输出引脚，或用作UART的握手控制信号。当 \overline{OFF} 为有效低电平时，I00~I03进入高阻状态
I01	97		
I02	8		
I03	9		

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

P&S网网址：http://www.p8s.com

信箱：武汉市70020信箱

邮编：430079

电话：(86) (027) 87493500 ~ 87493506

传真：(86) (027) 87491166, 87493497

续上表

引脚		I/O/Z*	说 明
名称	编号		
初始化、中断和复位操作			
\overline{RS}	100	I	复位输入。 \overline{RS} 使TMS320C203终止执行并迫使程序计数器为零。当 \overline{RS} 拉至高电平的16个周期后,从程序存储器的零单元开始执行。 \overline{RS} 影响各个寄存器和状态位
TEST	1	I	保留输入引脚。此脚不连接
\overline{BOOT}	2	I	微处理器模式选择引脚。如果 \overline{BOOT} 为高电平,则器件访问片外存储器。如果 \overline{BOOT} 为低电平,则由片内引导装载程序从外部全局数据空间向外部程序RAM空间传输数据
\overline{NMI}	17	I	不可屏蔽中断。 \overline{NMI} 是不能通过INTM或IMR屏蔽的外部中断。当 \overline{NMI} 被激活时,处理器捕获相应的向量单元。如果不用 \overline{NMI} ,应将其拉至高电平
$\overline{HOLD}/\overline{INT1}$	18	I	外部用户中断。可由中断屏蔽寄存器(IMR)和中断方式位(INTM)进行优先化和屏蔽。可通过中断标记寄存器(IFR)对其进行查询和复位。如果不用这些信号,应将其拉至高电平。 $\overline{INT1}/\overline{HOLD}$ 可选择一种地址、数据和控制线为三态的保持方式。复位状态下, \overline{HOLD} 的优先级高于 $\overline{INT1}$
$\overline{INT2}$	19		
$\overline{INT3}$	20		
振荡器、PLL和定时器信号			
TOUT	92	0	定时器输出。当片内定时器倒计数为零时,TOUT发出一个脉冲。此脉冲为一个CLKOUT1周期宽度。当 \overline{OFF} 为有效低电平时,TOUT进入高阻状态
CLKOUT1	15	O/Z	主时钟输出信号。CLKOUT1高电平脉冲表示逻辑相位,而低电平脉冲则表示锁存相位
CLKIN/X2	12	I	输入时钟。CLKIN/X2是送至器件的输入时钟。X1或使用PLL操作实现相乘和相位锁定,或旁路开PLL而工作在除2模式。当X2引脚作为振荡器输入时,X1则为振荡器输出
X1	13	0	
DIV1	3	I	DIV1和DIV2提供时钟方式输入。除非 \overline{RS} 信号有效,否则不应改变DIV1和DIV2
DIV2	5		
PLL5V	10	I	PLL工作在5V。当器件工作在5V时,PLL5V应固定在高电平。当工作在3V时,PLL5V应固定在低电平
串口和UART信号			
CLKX	87	I/O	发送时钟。CLKX是从DX(数据接收寄存器)到数据发送引脚DX定时传送数据的时钟信号。如果SSPCR中的MCM位设置为0,则CLKX为输入。当MCM=1时,器件还可以CLKOUT1一半的频率驱动CLKX。如果不用串口,CLKX也可作为I/O引脚并通过SSPCR寄存器的IN1位被采样。当 \overline{OFF} 为有效低电平时,CLKX进入高阻状态。复位状态下,该值为输入
CLKR	84	I	接收时钟输入。从DR(数据接收)引脚到RSR(串口移位寄存器)定时传送数据的外部时钟信号。在串口传送期间,CLKR必须存在。如果不用串口,CLKR可作为输入并通过SSPCR的IN0位被采样

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱:武汉市70020信箱

邮编:430079

电话:(86)(027)87493500~87493506

传真:(86)(027)87491166,87493497

续上表

引脚		I/O/Z*	说 明
名称	编号		
串口和UART信号			
FSR	85	I	接收输入的帧同步脉冲。FSR脉冲的下降沿启动数据接收过程,从而开始RSR的时序。当 $\overline{\text{OFF}}$ 为有效低电平时,FSR进入高阻状态
FSX	89	I/O	发送输入/输出的帧同步脉冲。FSR脉冲的下降沿启动数据发送过程,从而开始RSR的时序。复位时置FSX为输入。当串行控制寄存器SSPCR中TXM位置为1时,FSX可由软件选择为输出。当 $\overline{\text{OFF}}$ 为有效低电平时,FSX进入高阻状态。
DR	86	I	串行数据接收输入。通过DR,串行数据被接收至接收移位寄存器(RSR)
DX	90	O	串口发送输出。通过DX,串行数据从发送移位寄存器(XSR)中发送。当不发送数据或 $\overline{\text{OFF}}$ 为有效低电平时,被置为高阻状态
TX	93	O	异步发送引脚
RX	95	I	异步接收引脚
测试信号			
TRST	79	I	JTAG测试复位。当TRST为有效高电平时,将提供器件工作的JTAG扫描系统控制。如果TRST未被连接或被驱动至低电平,则器件工作在功能(functional)模式,JTAG信号无用
TCK	78	I	JTAG测试时钟。TCK通常是占空比为50%的自由振荡时钟信号。TAP(测试存取口)输入信号(TMS和TDI)的变化在TCK的上升沿由时钟同步送入TAP控制器、指令寄存器或所选择的测试数据寄存器。TAP输出信号(TDO)的变化出现在TCK的下降沿
TMS	81	I	JTAG测试方式选择。TMS在TCK的上升沿由时钟同步送入TAP控制器
TDI	80	I	JTAG测试数据输入。TDI在TCK的上升沿由时钟同步送入所选择的寄存器(指令或数据)
TDO	82	O/Z	JTAG测试数据输出。在TCK的下降沿,所选择的寄存器(指令或数据)的内容被移出TDO。除数据扫描正在进行外,TDO为高阻状态
EMU0	76	I/O/Z	仿真器引脚0。当 $\overline{\text{TRST}}$ 被驱动至低电平时,此脚必须为高电平,以激活 $\overline{\text{OFF}}$ 条件。当 $\overline{\text{TRST}}$ 被驱动至高电平时,此脚用作送至或来自仿真器系统的中断,并被定义为通过JTAG扫描的输入/输出
EMU1/ $\overline{\text{OFF}}$	77	I/O/Z	仿真器引脚1。仿真器引脚1禁止所有输出。当 $\overline{\text{TRST}}$ 被驱动为高电平时,EMU1/ $\overline{\text{OFF}}$ 用作送至或来自仿真器系统的中断,并被定义为通过JTAG扫描的输入/输出。当 $\overline{\text{TRST}}$ 被驱动至低电平时,此脚被配置为 $\overline{\text{OFF}}$ 。当为有效低电平时,EMU1/ $\overline{\text{OFF}}$ 置所有输出驱动为高阻状态。注意, $\overline{\text{OFF}}$ 只能用于测试和仿真目的,而非多处理应用。因而,对于 $\overline{\text{OFF}}$,下列条件适用: $\overline{\text{TRST}}=0$, EMU0=1, EMU1/ $\overline{\text{OFF}}=0$

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

信箱:武汉市70020信箱

电话:(86)(027)87493500~87493506

P&S网网址:http://www.p8s.com

邮编:430079

传真:(86)(027)87491166,87493497

续上表

引脚		I/O/Z*	说 明
名称	编号		
电源引脚			
V _{DD}	4	PWR	电源
	7		
	11		
	16		
	35		
	50		
	63		
	75		
	91		
V _{SS}	14	GND	地
	21		
	25		
	30		
	37		
	42		
	48		
	54		
	59		
	65		
	70		
	83		
	88		
	94		

* I=输入, 0=输出, Z=高阻

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱: 武汉市70020信箱

邮编: 430079

电话: (86) (027) 87493500 ~ 87493506

传真: (86) (027) 87491166, 87493497

TMS320C209引脚功能

引脚		I/O/Z*	说 明
名称	编号		
D15	11	I/O/Z	并行数据总线D15 (MSB) 至D0 (LSB)。多路复用在内核CPU和外部数据/程序存储器或I/O器件之间传输数据。当无输出或 \overline{RS} 被声明时, D15-D0被置于高阻状态。当 \overline{OFF} 为有效低电平时, 它们也为高阻状态。D15-D0也用于外部DMA访问片内单口RAM
D14	13		
D13	14		
D12	16		
D11	17		
D10	18		
D9	19		
D8	20		
D7	23		
D6	24		
D5	25		
D4	26		
D3	27		
D2	28		
D1	30		
D0	31		
A15	60		
A14	59		
A13	58		
A12	57		
A11	55		
A10	54		
A9	53		
A8	52		
A7	49		
A6	48		
A5	46		
A4	45		
A3	44		
A2	43		
A1	42		
A0	39		

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱: 武汉市70020信箱

邮编: 430079

电话: (86) (027) 87493500 ~ 87493506

传真: (86) (027) 87491166, 87493497

续上表

引脚		I/O/Z'	说 明
名称	编号		
存储器控制信号			
\overline{DS}	63	O/Z	数据空间选择信号。除非为了与片外程序空间通讯而被确立为低电平之外， \overline{DS} 总是高电平。当 \overline{OFF} 为有效低电平时， \overline{DS} 进入高阻状态
\overline{PS}	65	O/Z	程序空间选择信号。除非为了与片外程序空间通讯而被确立为低电平之外， \overline{PS} 总是高电平。当 \overline{OFF} 为有效低电平时， \overline{PS} 进入高阻状态
\overline{IS}	64	O/Z	I/O空间选择信号。除非为了与I/O口通讯而被确立为低电平之外， \overline{IS} 总是高电平。当 \overline{OFF} 为有效低电平时， \overline{IS} 进入高阻状态
READY	7	I	数据准备就绪输入。READY指示外部器件已完成总线通信准备。如果尚未准备就绪（READY为低电平），则TMS320C209将等待一个周期并再检测READY。如果不用READY，应将其拉至高电平
$\overline{R/W}$	66	O/Z	读/写信号。当与外部器件通讯时， $\overline{R/W}$ 指示传输方向。除非为了完成写操作而被确立为低电平外，通常处于读方式（高电平）。当 \overline{OFF} 为有效低电平时， $\overline{R/W}$ 进入高阻状态
\overline{STRB}	67	O/Z	选通信号。除非为了指示外部总线周期而被确立为低电平外， \overline{STRB} 总是高电平，当 \overline{OFF} 为有效低电平时， \overline{STRB} 进入高阻状态
\overline{RD}	78	O/Z	读选择。 \overline{RD} 指示有效的外部读周期，可直接连至外部器件的输出使能端（OE）。 \overline{RD} 对所有外部程序、数据和I/O的读操作有效。当 \overline{OFF} 为有效低电平时， \overline{RD} 进入高阻状态
\overline{WE}	62	O/Z	写使能。 \overline{WE} 的下降沿指示器件正驱动外部数据总线（D15-D0）。数据在 \overline{WE} 的上升沿可被外部器件锁存。 \overline{WE} 对所有外部程序、数据和I/O口的写操作有效。当 \overline{OFF} 为有效低电平时， \overline{WE} 进入高阻状态
RAMEN	37	I	RAM使能。RAMEN使能4K×16字的片内RAM
多处理信号			
\overline{BR}	68	O/Z	总线请求信号。访问外部全局数据存储器期间 \overline{BR} 被声明为有效。 \overline{BR} 可用于扩展32K字的数据存储器地址空间。当 \overline{OFF} 为有效低电平时， \overline{BR} 进入高阻状态
\overline{BIO}	9	I	转移控制输入。 \overline{BIO} 由指令BIOZ查询。如果 \overline{BIO} 为低电平，TMS320C209执行转移。如果不用 \overline{BIO} ，应上拉至高电平
XF	75	O/Z	外部标志输出（被锁存的软件可编程信号）。XF用于通知多处理结构中其他处理器或作为通用输出引脚
\overline{IACK}	79	O/Z	中断确认信号。 \overline{IACK} 指示收到中断且程序计数器正拾取由A15-A0指定的中断向量单元。当 \overline{OFF} 为有效低电平时， \overline{IACK} 也进入高阻状态

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

P&S网网址：http://www.p8s.com

信箱：武汉市70020信箱

邮编：430079

电话：(86) (027) 87493500 ~ 87493506

传真：(86) (027) 87491166, 87493497

续上表

引脚		I/O/Z	说 明
名称	编号		
初始化、中断和复位操作			
$\overline{\text{INT1}}$	33	I	外部用户中断。 $\overline{\text{INT1}}$ - $\overline{\text{INT3}}$ 可由中断屏蔽寄存器和中断方式位进行优先化和屏蔽。如果不用 $\overline{\text{INT1}}$ - $\overline{\text{INT3}}$ ，应将其拉至高电平
$\overline{\text{INT2}}$	34		
$\overline{\text{INT3}}$	35		
$\overline{\text{NMI}}$	36	I	不可屏蔽中断。 $\overline{\text{NMI}}$ 是不能通过 $\overline{\text{INTM}}$ 或 $\overline{\text{IMR}}$ 屏蔽的外部中断。当 $\overline{\text{NMI}}$ 被激活时，处理器捕获相应的向量单元。如果不用 $\overline{\text{NMI}}$ ，应将其拉至高电平
$\overline{\text{RS}}$	4	I	复位输入。 $\overline{\text{RS}}$ 和 $\overline{\text{RS}}$ 使TMS320C209终止执行并强迫程序计数器为零。当 $\overline{\text{RS}}$ 被拉至高电平的16个周期之后从程序存储器的0单元开始执行。 $\overline{\text{RS}}$ 影响各个寄存器和状态位
$\overline{\text{RS}}$	6		
$\overline{\text{MP/MC}}$	10	I	微处理器/微控制器模式选择引脚。如果 $\overline{\text{MP/MC}}$ 为低电平，片内ROM被映射到程序空间。当 $\overline{\text{MP/MC}}$ 为高电平时，器件存取片外存储器
振荡器/定时器信号CLKIN1/2			
$\overline{\text{CLKOUT1}}$	77	O/Z	主时钟输出信号。 $\overline{\text{CLKOUT1}}$ 以CPU的机器周期速率循环。内部机器周期由 $\overline{\text{CLKOUT1}}$ 的上升沿限定。当 $\overline{\text{OFF}}$ 为有效低电平时， $\overline{\text{CLKOUT1}}$ 进入高阻状态
$\overline{\text{CLKMOD}}$	74	I	时钟输入模式。 $\overline{\text{CLKMOD}}$ （当为高电平时）使能时钟输入信号的时钟倍增器和锁相环。如果不用内部振荡器，X1应保持不连接
$\overline{\text{CLKIN/X2}}$	69	I	时钟输入。如果锁相环（PLL）被使能（ $\overline{\text{CLKMOD}}$ 为高电平），输入到 $\overline{\text{CLKIN/X2}}$ 的时钟以内部机器速率的一半工作；如果PLL被禁止，则以内部机器速率的2倍工作。当X2为振荡器输入时，X1则为振荡器输出
X1	70		
$\overline{\text{TOUT}}$	72	O	定时器输出。当片内定时器倒计数为零时， $\overline{\text{TOUT}}$ 发出一个脉冲。此脉冲为一个 $\overline{\text{CLKOUT1}}$ 周期宽
$\overline{\text{PLL5V}}$	38	I	PLL工作在5V。当PLL工作在5V时， $\overline{\text{PLL5V}}$ 应固定在高电平
$\overline{\text{RES1}}$	40	I	保留的输入引脚。不要连接 $\overline{\text{RES1}}$
测试信号			
$\overline{\text{TCK}}$	8	I	JTAG测试时钟。 $\overline{\text{TCK}}$ 一般是占空比为50%的自由振荡时钟信号。 $\overline{\text{TAP}}$ （测试存取口）输入信号（ $\overline{\text{TMS}}$ 和 $\overline{\text{TDI}}$ ）的变化在 $\overline{\text{TCK}}$ 的上升沿由时钟同步送入 $\overline{\text{TAP}}$ 控制器、指令寄存器或所选择的测试数据寄存器。 $\overline{\text{TAP}}$ 输出信号（ $\overline{\text{TDO}}$ ）的变化出现在 $\overline{\text{TCK}}$ 的下降沿
$\overline{\text{TDI}}$	5	I	JTAG测试数据输入。 $\overline{\text{TDI}}$ 在 $\overline{\text{TCK}}$ 的上升沿由时钟同步送入所选的寄存器（指令或数据）

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

P&S网网址：http://www.p8s.com

信箱：武汉市70020信箱

邮编：430079

电话：(86) (027) 87493500 ~ 87493506

传真：(86) (027) 87491166, 87493497

续上表

引脚		I/O/Z	说 明
名称	编号		
测试信号			
TDO	71	O/Z	JTAG测试数据输出。所选寄存器(指令或数据)的内容在TCK的下降沿被移出TDO。除数据扫描正在进行外, TDO为高阻状态。当 $\overline{\text{OFF}}$ 为有效低电平时, TDO进入高阻状态
TMS	32	I	JTAG测试模式选择。TMS在TCK的上升沿由时钟同步送入TAP控制器
TRST	80	I	JTAG测试复位。当TRST为有效高电平时, 将提供器件工作的JTAG扫描系统控制。如果TRST未被连接或被驱动至低电平, 则器件工作在功能模式, JTAG信号无用
EMU0	2	I/O/Z	仿真器引脚0。当TRST被驱动至低电平时, 此脚必须为高电平以激活 $\overline{\text{OFF}}$ 条件。当TRST被驱动至高电平时, 此脚用作送至或来自仿真器系统的中断, 并被定义为通过JTAG扫描的输入/输出。
EMU1	3		
电源引脚			
V _{DD}	1	PWR	电源
	15		
	50		
	51		
	76		
V _{SS}	12	GND	地
	21		
	22		
	29		
	41		
	47		
	56		
	61		
	73		

+ I=输入, O=输出, Z=高阻

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱: 武汉市70020信箱

邮编: 430079

电话: (86) (027) 87493500 ~ 87493506

传真: (86) (027) 87491166, 87493497

二、功能和原理

2.1 '2xx内部硬件的功能框图

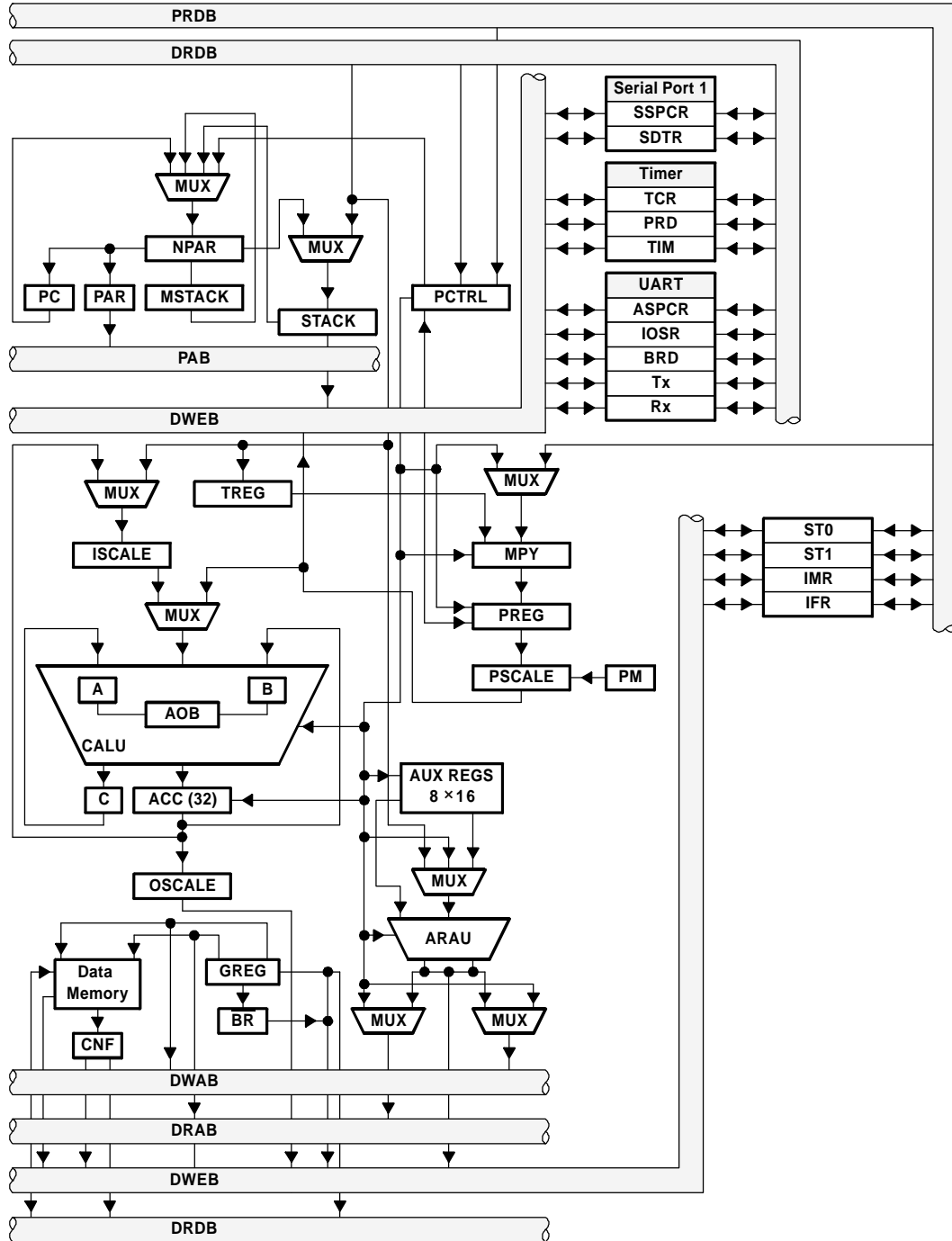


表3 C2xx功能框图说明

符号	名称	说明
A	A输入	CALU的两操作数中的A输入。A将ACC反馈送至CALU运算
AOB	CALU运算	识别CALU中A至B的运算。按当前指令的操作符选择,0可以是算术或逻辑运算
ACC	累加器	存储结果并提供下一次CALU运算输入的32位寄存器。也包含移位和旋转功能
ARAU	辅助寄存器算术单元	用于计算以辅助寄存器作为输入和输出的间接地址的无符号16位算术单元
AUX REGS	辅助寄存器 0-7	这些16位寄存器用作数据空间地址范围内的指针。它们由ARAU操作,由辅助寄存器指示字ARP选择。AR0也可用作多于一个的AR更新的变址值或用作AR(ARP)的比较值
B	B输入	CALU的两操作数中的B输入。B馈送32位输入(从ISCALE或PSCALE)到CALU运算
\overline{BR}	总线寄存器信号	\overline{BR} 在访问外部全局数据存储器期间被声明为有效。当全局数据存储器可用于总线传输时,READY被声明对器件有效。 \overline{BR} 可用于扩展数据存储器地址空间至32K字
C	进位	来自CALU的寄存器进位输出。C反馈到CALU用于扩展算术运算。C位保留在状态寄存器1(ST1)中,可在条件指令中被检测。C也可用于累加器移位和旋转
CALU	中央算术逻辑单元	TMS320C2xx内核的32位宽主算术逻辑单元。CALU执行单机器周期32位运算。CALU将来自ISCALE或PSCALE的数据同来自ACC的数据进行运算,提供状态结果到PCTRL
CNF	片内RAM配置控制位	如果设置为0,则可配置的数据双口RAM块映射到数据空间;否则,映射到程序空间
DRAB	数据读地址总线	提供数据读操作地址的16位总线。DRAB由TMS320C2xx内核驱动
DRDB	数据读总线	数据空间读数据的16位总线。DRDB由存储器或逻辑接口驱动
DWAB	数据写总线	提供数据写操作地址的16位总线。DWAB由TMS320C2xx内核驱动
DWEB	数据写总线	数据空间写数据的16位总线。DWEB由TMS320C2xx内核驱动
GREG	全局存储器分配寄存器	GREG指定全局数据存储器的大小
IMR	中断屏蔽寄存器	IMR分别屏蔽或使能7个中断。
IFR	中断标志寄存器	7位IFR指示TMS320C2xx已从7个可屏蔽中断之一锁存了一个中断

续上表

符号	名称	说明
INTM	中断模式位	当设置为0时, 使能所有未被屏蔽中断。当设置为1时, 所有可屏蔽中断被禁止
INT#	中断捕获	通过硬件和/或软件, 总共可有32个中断
ISCALE	输入数据定标移位器	16至32位桶式左移移位器。ISCALE 在取周期内将输入的16位数据相对于32位输出左移0至16个位置, 因而输入定标操作无需额外周期
MPY	乘法器	16 × 16位乘法器, 产生32位乘积。MPY在单周期内执行有符号或无符号二进制补码算术乘法
MSTACK	微堆栈	当程序地址产生逻辑用于产生数据空间的顺序地址时, MSTACK用于暂时存储将被取出的下一指令的地址
MUX	多路器	到同一输入的多路复用总线
NPAR	下一程序地址	NPAR保存在下一周期将被驱动出PAB的程序地址
OSCALE	输出数据定标移位器	32至16位桶式左移移位器。OSCALE将32位累加器输出左移0至7位以便量化管理, 并将移位过的32位数据的高16位或低16位输出到DWEB
PAB	程序地址总线	提供程序空间读和写地址的16位总线。PAB由TMS320C2xx内核驱动
PAR	程序地址	PAR保持PAB中当前的驱动地址, 并持续直至完成当前机器周期所确定的所有存储器操作所需的周期
PC	程序计数器	增加来自NPAR的数值以提供顺序地址, 实现取指令和顺序数据传输操作
PCTRL	程序控制器	PCTRL译码指令、管理流水线、存储状态和译码条件操作
PM	乘积寄存器移位模式位	这两位识别4种移位模式(0, 1, 4, -6)中哪一种将被PSCALE采用。PM保留在ST1中
PRDB	程序读数据总线	程序空间读数据的16位总线。PRDB由存储器或逻辑接口驱动
PREG	乘积寄存器	32位寄存器保持16 × 16乘法的结果
PSCALE	乘积定标移位器	乘积的0、1或4位左移或6位右移。左移选项用于管理二进制补码相乘所产生的附加符号位。右移选项用于缩小数目以管理CALU中乘积累加器的溢出。PSCALE位于来自32位乘积移位器和CALU或DWEB的路径中, 不需要额外周期
TREG	暂时寄存器	16位寄存器保持乘法运算的操作数之一。TREG保持LACT、ADDT和SUBT指令的动态移位计数。TREG还保持BITT指令的动态位位置
SSPCR	同步串口控制寄存器	用于选择串口操作模式的控制寄存器

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱: 武汉市70020信箱

邮编: 430079

电话: (86) (027) 87493500 ~ 87493506

传真: (86) (027) 87491166, 87493497

续上表

符号	名称	说明
SDTR	同步串口发送和接收寄存器	数据发送和接收寄存器
TCR	定时器控制寄存器	TCR包含用于定义分频比、启动/停止定时器和重装周期的控制位。TCR还存有预定标器的当前计数。复位初始化定时器分频比为0并启动定时器
PRD	定时器周期寄存器	PRD包含当计数器发生借位或当重装位被激活时装载到定时器计数器的16位周期值。复位初始化PRD为0xFFFF
TIM	定时器计数器寄存器	TIM包含定时器的当前16位计数。复位初始化TIM为0xFFFF
UART	通用异步接收发送	异步串口
ASPCR	异步串口控制寄存器	ASPCR控制异步串口操作
IOSR	I/O状态寄存器	IOSR检测引脚I00-I03上的当前电平(随输入变化)和UART的状态
BRD	波特率分频器	用于设置UART的波特率
ST0 ST1	状态寄存器	包含各种条件和模式的状态。这些寄存器可被存入数据存储器或由数据存储器装载,从而允许机器的状态被保存和恢复
IMR	中断屏蔽寄存器	IMR分别屏蔽或使能7个中断
IFR	中断标志寄存器	IFR指示TMS320C2xLP内核已从一个可屏蔽中断锁存到一个中断脉冲
STACK	堆栈	一个存储器块,用于存储子程序和中断服务程序的返回地址,或用于存储数据。C2xx堆栈为16位宽,8级深

2.2 结构综述

C2xx先进的哈佛结构通过保持两组分离的存储器总线结构(程序和数据)用于全速执行而获得最大的处理能力。这种多总线允许同时读取数据和指令。指令支持两个空间之间的数据传送。这种结构允许将存储在程序存储器中的系数读入RAM,消除了对于单独的系数ROM的需求。这种结构与四级流水线配合将允许TMS320C2xx在单周期内执行大多数指令。

2.2.1 状态和控制寄存器

两个状态寄存器ST0和ST1存有各种条件和模式的状态。这些寄存器可存入数据存储器并可从数据存储器装载,因而允许为子程序保存和恢复机器状态。

装载状态寄存器(LST)指令用于写ST0和ST1。存储状态寄存器(SST)指令用于从ST0和ST1读出除INTM位外的所有位,该位不受LST指令影响。当使用SETC和CLRC指令时,这些寄存器的各位可被设置或清除。图1表示状态寄存器ST0或ST1的组织,指明了每个寄存器所包含的所有状态位。状态寄存器中有些位被保留,读出为逻辑1。关于状态寄存器位域的定义参见表4。

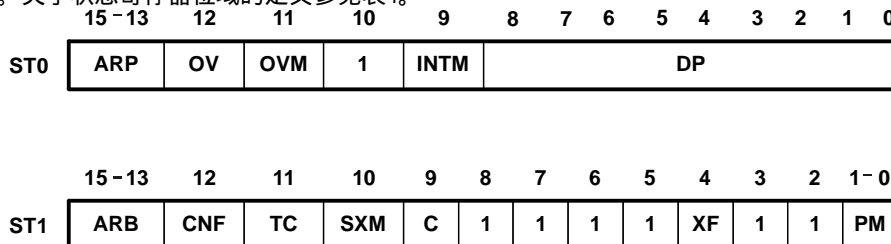


图1 状态和控制寄存器的组织

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号	P&S网网址: http://www.p8s.com
信箱:武汉市70020信箱	邮编:430079
电话:(86)(027)87493500~87493506	传真:(86)(027)87491166, 87493497

表4 状态寄存器位域的定义

域	功 能
ARB	辅助寄存器指针缓冲器。当ARP被装载时，除了LST指令外，旧的ARP值被复制到ARB。当用LST #1指令的方法装载ARB时，同样的值也被复制到ARP
ARP	辅助寄存器指针。ARP选择用于间接寻址的AR。当ARP被装载时，旧的ARP值复制到ARB寄存器。当使用间接寻址时，ARP可由存储器参考（memory-reference）指令修改，也可由LARP、MAR以及LST指令修改。当执行LST #1指令时，ARP也被装载一个与ARB相同的数值
C	进位位。如果加的结果产生进位，那么C被设置为1；如果减的结果产生借位，那么复位至0。否则，除了指令是带16位位移的ADD或SUB之外，在加法之后C将复位或在减法之后C将置位。在这些情况中，ADD只能设置而SUB只能复位进位位，但不能对它有别的影响。单个位移和旋转指令以及SETC、CLRC和LST #1指令也影响C。已提供有转移指令以便根据C的状态使程序转移。复位时，C被设置为1
CNF	片内RAM配置控制位。如果CNF被置为0，那么可重配置数据双口RAM块被映射到数据空间；否则，它们被映射到程序空间。CNF可以由SETC CNF、CLRC CNF以及LST #1指令修改。 \overline{RS} 把CNF设置为0
DP	数据存储器页指针。9位DP寄存器与指令字的七个LSB链接以组成16位直接存储器地址。DP可以由LST和LDP指令修改
INTM	中断方式位。当INTM被置为0时，所有未被屏蔽的中断被使能（允许）。当设置为1时，所有可屏蔽中断被禁止。INTM由SETC INTM和CLRC INTM指令置位和复位。 \overline{RS} 和 \overline{TACK} 也设置INTM。INTM对不可屏蔽RS和NMI中断没有影响。注意，INTM不受LST指令的影响。此位由复位设置为1。当可屏蔽中断陷阱（maskable interrupt trap）发生时，它也被置为1
OV	溢出标志位。作为锁存的溢出信号，当ALU中发生溢出时OV被设置为1。一旦发生溢出，在复位之前OV保持置位，有关OV/NOV的BCND/D或LST指令将清除OV
OVM	溢出方式位。当OVM被置为0时，在累加器中溢出的结果正常溢出。当它被置为1时，根据遇到溢出的情况，累加器被设置为其最大正值或负值。SETC和CLRC指令分别置位和复位此位。LST也可用以修改OVM

续上表

域	功能
PM	乘积移位方式 (product shift mode)。如果这两位是00, 那么乘法器的32位乘积被装入ALU而不移位。如果PM=01, 那么PREG输出被左移1位并被装入ALU, 且LSB用零填充。如果PM=10, 那么PREG输出被左移4位并装入ALU, 且LSB均用零填充。PM=11, 产生6位的右移, 符号被扩展。注意PREG内容保持不变。当把PREG的内容传送到ALU时, 移位发生。PM由SPM和LST #1指令装载。PM被RS清除
SXM	符号扩展方式位。当数据通过定标移位器 (scaling shifter) 送入累加器时, SXM=1将对数据产生符号扩展, SXM=0则抑制符号的扩展。SXM不影响某些指令的规定, 例如, ADDS指令抑制符号的扩展而不管SXM的影响。SXM由SETC SXM置位, 由CLRC SXM指令复位, 并可以由LST #1装载。SXM被复位设置至1
TC	测试/控制标志位。TC受BIT、BITT、CMPR、LST #1以及NORM指令的影响。如果由BIT或BITT指令测试的位为1, 或者由CMPR指令所测试的AR (ARP) 和ARO之间的比较条件存在, 或者用NORM指令测试时累加器两个MSB的异或OR功能为真, 那么TC被置为1。条件转移、调用和返回指令可根据TC的状态来执行
XF	XF引脚状态位。XF表示通用输出引脚XF的状态。XF由SETC XF指令置位并由CLRC XF指令复位。XF被复位设置为1

2.2.2 中央处理单元

TMS320C2xx中央处理单元 (CPU) 包括16位的定标移位器 (scaling shifter), 16×16位并行乘法器, 32位中央算术逻辑单元 (CALU), 32位累加器以及在累加器和乘法器二者输出处的附加移位器 (additional shifter)。本节说明CPU的部件及其功能。前面的功能框图表示了CPU的部件。

2.2.3 输入定标移位器 (input scaling shifter)

TMS320C2xx提供一个定标移位器 (scaling shifter), 它连接到数据总线的16位输入和CALU的32位输出。该移位器用作从程序或数据空间至CALU数据通路的一部分, 并不需要周期开销 (cycle overhead)。它用于把来自存储器的16位数据调整至32位CALU。这对于定标运算和逻辑运算的调整标志是必要的。

定标移位器对输入数据产生0至16位的左移。输出结果的LSB填充零; MSB可以填充零或进行符号扩展, 这取决于状态寄存器ST1的符号扩展方式位SXM的值。移位计数 (shift count) 由嵌在指令字中的常数或TREG中的值来规定。指令中的移位计数可对该处代码进行特定的定标或调整操作。而TREG基本移位则使定标因子适应于系统的性能。

2.2.4 乘法器

TMS320C2xx器件采用16×16位硬件乘法器, 它能在单个机器周期内计算有符号或无符号的32位乘积。除MPYU (无符号乘) 指令以外, 所有乘法指令均实现有符号乘操作。即, 两个相乘的数被当作二进制补码数加以处理, 而结果是32位二进制补码数。有两个与乘法器有关的寄存器, 它们是:

- * 16位指令寄存器 (TREG), 它保存乘法器操作数之一
- * 32位乘积寄存器 (PREG), 它保存乘积

在PREG输出处 (PSCALE) 有四种乘积移位方式 (PM) 可供使用。这些移位方式用于完成乘法/累加操作、小数运算或使小数乘积对齐。状态寄存器ST1的PM域规定了PM移位方式, 如表5所示。

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

信箱: 武汉市70020信箱

电话: (86) (027) 87493500 ~ 87493506

P&S网网址: <http://www.p8s.com>

邮编: 430079

传真: (86) (027) 87491166, 87493497

表5 PSCALE乘积移位方式

PM	移位	说 明
00	不移位	乘积送至CALU或数据总线, 不移位
01	左移1位	移走二进制补码乘法中产生的额外的符号位以产生Q31乘积
10	左移4位	当使用乘以一个13位常数的乘法时, 用来移走16×13二进制补码乘法中产生的额外4个符号位以产生Q31乘积
11	右移6位	按标度改变乘积以允许执行多达128次乘/累加而无累加器溢出

乘积可以被移动1位以校正两个16位二进制补码数相乘 (MPY) 中所产生的额外符号位。移位4位与带短立即数 (13位或更少) 的MPY指令一起使用以消除在16位数和13位数相乘时所产生的4个额外符号位。最后, PREG的输出可以右移6位以便能执行多达128次连续乘/累加而无溢出。

LT (装载TREG) 指令通常从数据总线装载TREG, 以提供一个操作数, 而MPY (乘) 指令也从数据总线提供部分操作数。当使用MPY指令时, 用13位立即操作数也能完成乘法。于是每两个周期得到一个乘积。当代码正在执行多次乘/累加时, CPU支持TREG装载操作和使用前次乘积CALU操作的流水线操作。与装载TREG并行运行的流水线操作包括: 用PREG装载ACC (LTP); 把PREG加至ACC (LTA); 把PREG加至ACC且移动TREG输入数据 (DMOV) 至数据存储单元下一地址 (LTD); 以及从ACC减去PREG (LTS)。

两个乘/累加指令 (MAC和MACD) 充分利用了乘法器的计算带宽, 允许同时处理两个操作数。两个操作数可在每个周期内经过程序和数据总线传送到乘法器。当与重复 (RPT) 指令一起使用时, 可以实现单周期乘/累加。在这些指令中, 系数地址由程序地址发生器 (PAGEN) 产生, 同时, 数据地址由数据地址发生器 (DAGEN) 产生。这允许重复指令在任何间接寻址方式中从系数表中顺序访问数值, 或根据数据间隔访问数值。

重复执行MACD指令支持滤波器设计 (加权平均), 在执行乘加操作时, 使得样本数据在存储器内移动从而为下一个样本取得存储单元并丢弃最老的样本。

MPYU指令完成无符号乘, 这大大方便了扩展精度 (extended-precision) 算术运算。TREG的无符号数乘以所寻址的数据存储单元的无符号数, 结果放在PREG。这种过程允许把大于16位的操作数分为几个16位字分开处理以产生大于32位的乘积。SQRA (平方/加) 和SQRS (平方/减) 指令传送同一个值至乘法器的两个输入端以便对数据存储器的值作平方运算。

在两个16位数相乘之后, 32位的乘积被装入32位乘积寄存器 (PREG)。来自PREG的乘积可以传送到CALU或经过SPH (存储乘积高位) 指令和SPL (存储乘积低位) 指令传送到数据存储单元。注意: PREG到CALU或数据总线的传送经过PSCALE移位器, 因而受PM所定义的乘积移位方式的影响。因为在恢复操作中PSCALE移位的影响不能被模拟, 所以当在中断服务子程序上下文保护中保存PREG时, 这一点很重要。通过执行MPY #0指令可以清除PREG。把保存的低位字装入TREG并执行MPY #1, 然后使用LPH指令装载高位字, 可以恢复乘积寄存器。

2.2.5 中央算术逻辑

TMS320C2xx中央算术逻辑单元 (CALU) 实现宽范围的算术和逻辑功能, 其中大多数在单个时钟周期内执行。这个ALU被称为中央的, 是为了便于把它与用于间接地址产生、被称为辅助寄存器算术单元 (ARAU) 的第二个ALU相区分。一旦在CALU中完成操作, 结果便传送到累加器 (ACC), 在累加器中可能发生额外的操作 (例如移位)。当输入到CALU的数据来自数据总线之一 (DRDB或PRDB) 时, 可以利用ISCALE对其定标; 当数据来自乘法器时, 可以用PSCALE对其定标。

CALU是通用的算术/逻辑单元, 它对取自数据存储单元或来自立即数指令的16位字进行操作。除了常用的算术指令外, CALU可完成布尔运算, 具有高速控制器所需的位处理能力。CALU的一个输入总是由累加器提供, 另一个输入可以由乘法器的乘积寄存器 (PREG) 或定标移位器的输出提供, 而定标移位器的输入已由数据存储单元或ACC读入。在CALU完成算术或逻辑运算之后, 结果存储在累加器中。

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

信箱: 武汉市70020信箱

电话: (86) (027) 87493500 ~ 87493506

P&S网网址: <http://www.p8s.com>

邮编: 430079

传真: (86) (027) 87491166, 87493497

TMS320C2xx器件支持需要大动态范围应用的浮点运算。NORM(归一化)指令通过实行左移使累加器中的定点数归一化。TREG的四位为LACT/ADDT/SUBT(以TREG所规定的移位装载/加至累加器/从累加器中减去)指令规定通过定标移位器的可移位置,这些指令被用于浮点运算,在浮点运算中数值需要解归一化(denormalized),即浮点至定点的转换。它们也被用于执行滤波器的自动增益控制(AGC)。BITT(位测试)指令根据包含在TREG四个LSB位中的数值提供对数据存储器的单个位的测试。

通过置位/复位ST0的OVM位,可以使能/禁止CALU溢出饱和方式。当CALU处于溢出饱和方式且溢出发生时,溢出标志被置位,累加器所能表示的最大正值或负值被装入累加器,这取决于溢出的方向。饱和情况下累加器的值是07FFFFFFh(正)或08000000h(负)。如果OVM(溢出方式)状态寄存器位被复位且溢出发生,那么溢出的结果经修改被装入累加器(注意,逻辑运算不会导致溢出)。

CALU可以执行各种转移指令,它们取决于CALU和累加器的状态。这些指令可以根据这些状态位的任何有意义的组合有条件地被执行。对于溢出控制,这些条件包括OV(根据溢出而转移)和EQ(根据累加器等于零而转移)。此外,BACC(转移到累加器中的地址)指令提供了转移到累加器所指定地址的能力(计算转移)。位测试指令(BIT和BITT)不影响累加器,允许测试存储器中字的指定位。

CALU还具有辅助进位位,它根据器件内各种运算而置位或复位。进位位允许扩展精度的乘加或乘减运算更为有效。它在溢出管理中也有用。进位位受大多数算术指令以及单个位移和旋转指令的影响。它不受装载累加器、逻辑运算以及其它这样的非算术或控制指令的影响。

ADDC(带进位的加至累加器)和SUBB(带借位的从累加器减)指令在加/减运算中使用先前的进位值。

进位位运算的一个例外出现在使用带16位移的ADD(加至累加器高位字)和带16位移的SUB(从累加器高位字减)指令。这种ADD指令仅在进位产生时能使进位位置位,而这种SUB指令仅在借位产生时能使进位复位;其它情况下,这两条指令都不影响进位位。

两个条件操作数C和INC被提供用于根据进位位的状态进行转移、调用、返回以及条件执行。SETC、CLRC以及LST #1指令也能用于装载进位位。硬件复位时进位位被置为1。

2.2.6 累加器

32位累加器是CALU的寄存输出。它可分为两个16位的段用以存储至存储器。累加器输出端的移位器提供0至7位的左移。在数据被传送至数据总线供存储的同时,这种移位被完成。累加器的内容保持不变。当后定标(post-scaling)移位器用于累加器高位字(位16-31)时,MSB丢失而LSB用从低位字(位0-15)移入的位填充。当后定标移位器用于低位字时,LSB用零填充。

SFL和SFR(在适当位置左移或右移1位)指令以及ROL与ROR(旋转至左/右)指令通过进位位完成累加器内容的移位或旋转。SXM位影响SFR(累加器右移)指令的定义。当SXM=1时,SFR完成算术右移,保持累加器数据的符号。当SXM=0,SFR完成逻辑移位,移出LSB且向MSB移入零。SFL(左移累加器)指令不受SXM位的影响且在两种情况下动作相同,移出MSB并移入零。重复(RPT)指令可以与移位和旋转指令一起用于多位移位。

2.2.7 辅助寄存器和辅助寄存器算术单元(ARAU)

C2xx提供包含八个辅助寄存器(AR0-AR7)的寄存器文件。辅助寄存器用于数据存储器的间接寻址或用于暂时的数据存储。间接辅助寄存器寻址允许指令操作数的存储器地址放置入辅助寄存器之一。这些寄存器用3位辅助寄存器指针(ARP)作基准,ARP可装入数值0至7,分别指示AR0至AR7。辅助寄存器和ARP可以从存储器、ACC、乘积寄存器或用指令中定义的立即操作数装载。这些寄存器的内容也可被存储至存储器中或用作CALU的输入。

辅助寄存器文件(AR0-AR7)被连接到ARAU。ARAU可以在存储器单元被寻址的同时自动索引当前辅助寄存器,可以按 ± 1 或 \pm AR0寄存器内容完成索引。从而,访问地址操作信息表不需要CALU的参与;因此,CALU可自由用于其它并行操作。

2.3 存储器

‘C2xx为程序存储器、数据存储器和I/O提供三个分离的地址空间。每个空间各可容纳64K的16位字。在64K字的数据空间中，当全局存储器分配寄存器（GREG）的内容被指定时，地址范围顶端的256至32K字，可定义成按2的幂增加的外部全局存储器。对全局存储器的存取用全局存储器总线请求（RB）信号判断。

‘C2xx最前面的96个（0-5Fh）数据存储器单元被分配作为存储器映射寄存器或被保留。存储器映射寄存器空间包括CPU所用的各种控制和状态寄存器。

2.3.1 TMS320C209存储器

可编程屏蔽的ROM位于程序存储器空间。用户可安排使ROM编程为用于任何特殊应用的特定内容。复位器件时ROM由MP/MC控制输入的状态被使能或禁止。当使能时，ROM占据程序存储器的最低块。当禁止时，这些地址则位于器件的外部存储器空间。

‘C209器件提供两种类型的RAM：单口RAM（SARAM）和双口RAM（DARAM）。单口RAM需要一个完整的机器周期来实现读或写。然而，这不是一个大的RAM块，其中每周期只允许一次存取。它由2K字大小不变的RAM块组成，每块每周期允许一个CPU存取。CPU可同时读或写一块而存取另一块。只要是对不同的RAM块，‘C209处理器支持在一个周期内对其SARAM多路存取。了解了这种结构，可适当安排编码和数据以提高编码的性能。

‘C2xx双口RAM（DARAM）允许在同一周期写入RAM或从RAM读出而无SARAM的地址限制。双口RAM由三块组成：块0（B0）、块1（B1）和块2（B2）。块1为256字，在数据存储器内；块2为32字，在数据存储器内。块0是一个256字的块，可配置成数据或程序存储器。SETC CNF（配置块0为数据存储器）和CLRC CNF（配置块0为程序存储器）指令允许通过软件动态配置存储器映射。当用块0作为程序存储器时，指令可从外部程序存储器下载到片内RAM然后执行。

2.3.2 TMS320C203存储器

当用片内RAM或高速外部存储器时，‘C2xx全速运行，没有等待状态。DARAM允许在一个周期内完成双访问的能力与‘C2xx结构的并行特性使器件可在任何给定的机器周期内完成三个并行存储器的存取。在外部，READY线可用于‘C2xx同较慢的、不太昂贵的外部存储器接口。从较慢的片外存储器下载程序到片内RAM可加速处理，同时降低系统成本。

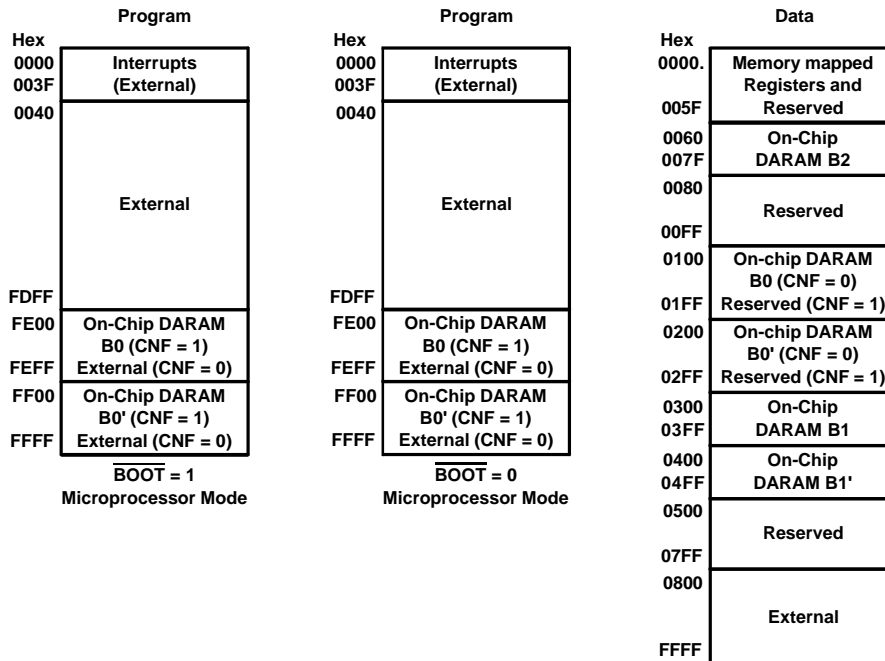


图2 TMS320C203存储器映射

表6 TMS320C203存储器映射配置*

$\overline{\text{BOOT}}$	CNF	ON-CHIP			OFF-CHIP		
		PROGRAM	DATA	I/O	PROGRAM	DATA	I/O**
0	0	—	0-7FF	FF00-FFFF	1000-FFFF	800-FFFF	0-FE00
0	1	FE00-FFFF	0-7FF	FF00-FFFF	1000-FDFF	800-FFFF	0-FE00
1	0		0-7FF	FF00-FFFF	1000-FFFF	800-FFFF	0-FE00
1	1	FE00-FFFF	0-7FF	FF00-FFFF	1000-FDFF	800-FFFF	0-FE00

* 内部I/O存储单元0FFE0h-0FFFFh专用于定时器、串口控制、等待状态产生器寄存器和保留空间。

** FF00-FF0F保留着用于测试目的，不可使用。

TMS320C203包含映射到内部数据空间的三个寄存器和映射到内部I/O空间的十二个寄存器。图2、表6和表10描述这些寄存器并给出它们的相应地址。表中DS指的是数据空间，IS指的是输入/输出口。

两种TMS320C2xx器件都包含544 × 16字的双口RAM。C209器件包含4K × 16字的单口RAM以及与CPU集成在一起的4K × 16字ROM。图2、表7和表8分别表示C209和C203中这些存储块的映射和相应的控制位及引脚。对于C209器件，图3和表7表示存储器控制引脚 $\overline{\text{MP/MC}}$ 和RAMEN及控制位CNF对相应的片内和片外存储器空间映射的作用。

对于C203器件，图2、表6和表8表示存储器控制引脚 $\overline{\text{BOOT}}$ 和控制位CNF对相应存储器空间映射至片内或片外的作用。

表7 TMS320C209片内存储器映射

DESCRIPTION OF MEMORY BLOCK	DATA ADDR	PROG ADDR	MP/ $\overline{\text{MC}}$	CNF BIT	RAMEN
4K × 16 words of factory-masked ROM		0	low		
256 × 16 words dual-access RAM (B0)	0x100 ⁺ 0x200 ⁺			0	
256 × 16 words dual-access RAM (B0)		0xFE00 0xFF00		1	
256 × 16 words dual-access RAM (B1)	0x300 ⁺ 0x400 ⁺				
32 × 16 words dual-access RAM (B2)	0x60				
4096 × 16 words dual-access RAM	0x1000	0x1000			high

+ 每一地址对中的两个地址指向存储器的同一块。

表8 TMS320C203片内存储器映射

DESCRIPTION OF MEMORY BLOCK	DATA ADDR	PROG ADDR	$\overline{\text{BOOT}}$	CNF BIT
On-chip bootloader		0	low	
256 × 16 words dual-access RAM (B0)	0x100** 0x200**			0
256 × 16 words dual-access RAM (B0)		0xFE00** 0xFF00**		1
256 × 16 words dual-access RAM (B1)	0x300** 0x400**			
32 × 16 words dual-access RAM (B2)	0x60			

** 每一地址对中的两个地址指向存储器的同一块。

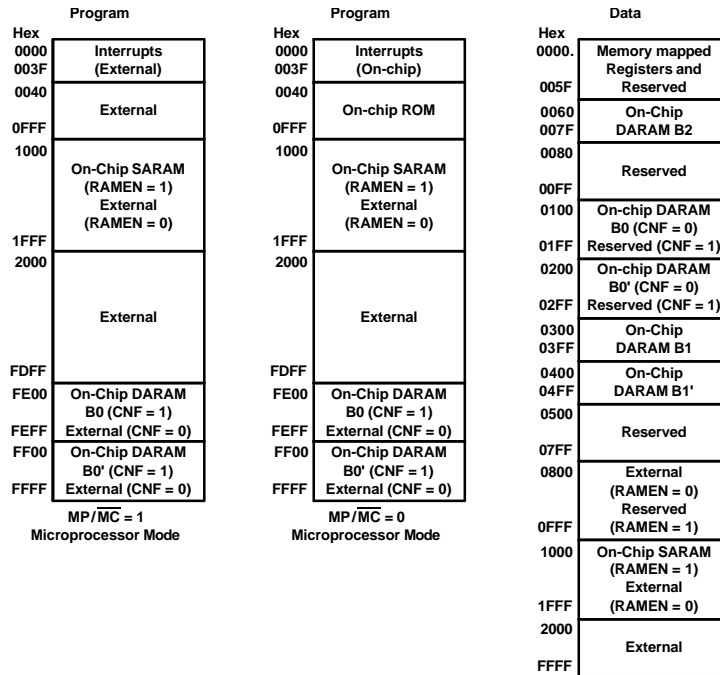


图3 TMS320C209存储器映射

表9 TMS320C209存储器映射配置

MP/MC	RAMEN	CNF	ON-CHIP			OFF-CHIP		
			PROGRAM	DATA	I/O	PROGRAM	DATA	I/O ⁺
0	1	0	0-1FFF	0-1FFF	FFF0-FFFF	2000-FFFF	2000-FFFF	0-FFEF
0	1	1	0-1FFF FE00-FFFF	0-1FFF	FFF0-FFFF	2000-FDFF	2000-FFFF	0-FFEF
0	0	0	0-0FFF	0-07FF	FFF0-FFFF	1000-FFFF	0800-FFFF	0-FFEF
0	0	1	0-0FFF FE00-FFFF	0-07FF	FFF0-FFFF	1000-FDFF	0800-FFFF	0-FFEF
1	1	0	1000-1FFF	0-1FFF	FFF0-FFFF	0-FFF 2000-FFFF	2000-FFFF	0-FFEF
1	1	1	1000-1FFF FE00-FFFF	0-1FFF	FFF0-FFFF	0-FFF 2000-FDFF	2000-FFFF	0-FFEF
1	0	0		0-07FF	FFF0-FFFF	0-FFFF	0800-FFFF	0-FFEF
1	0	1	FE00-FFFF	0-07FF	FFF0-FFFF	0-FDFF	0800-FFFF	0-FFEF

+ FF00-FF0F保留用于测试，不能使用。

** 内部I/O存储单元0FFF0h-0FFFFh专用于定时器、等待状态产生器寄存器和保留空间。

表10 TMS320C203存储器和I/O内部映射寄存器

名称	地址	说明
IMR	DS@0004	中断屏蔽寄存器。IMR分别屏蔽或使能7个中断。位0共用外部中断引脚INT1和HOLD。INT2和INT3共用位1。位2连到定时器中断TINT。位3和4，RINT和XINT，用于同步串口SSP。位5，TXRXINT，共用异步串口ASP的发送和接收中断。位6保留用于监控模式仿真工作，该位除了同仿真监控一同工作外一般应设置为0。位7-15在TMS320C203中不用。IMR在复位时被置为0
GREG	DS@0005	全局存储器分配寄存器。GREG规定全局存储器空间的大小。复位时GREG设置为0

名称	地址	说明
IFR	DS@0006	中断标志寄存器。IFR指示TMS320C203已锁存来自7个可屏蔽中断之一的中断。位0共用外部中断INT1和HOLD。INT2和INT3共用位1。位2连到定时器中断TINT。位3和4，RINT和XINT，用于同步串口SSP。位5、TXRXINT共用异步串口ASP的发送和接收中断。位6保留为监控模式仿真工作，除同仿真监控一道工作外，应总设置为0。写1到相应的中断位可清除有效的标志和相应的未决中断。写1到无效的标志不产生影响。位7-15在TMS320C203中不用。复位时IFR被置为0
CLK	IS@FFE8	CLKOUT 1通或断。复位时，此位为0，CLKOUT1引脚有效。如果CLKOUT1为1，则CLKOUT1引脚关闭
IC	IS@FFEC	中断控制寄存器。IC用来决定哪一中断有效，因为如同INT1和INT3一样，INT1和HOLD共用同一个中断向量。此寄存器的一部分用于屏蔽/去屏蔽中断（类似于IMR），另一部分用于挂起中断（类似于IFR）。复位时，所有位置0，使能HOLD模式。MODE位被用于保持产生电路，以决定HOLD还是INT1有效
SDTR	IS@FFF0	同步串口（SSP）发送和接收寄存器
SSPCR	IS@FFF1	同步串口控制寄存器
ADTR	IS@FFF4	异步串口（ASP）发送和接收寄存器
ASPCR	IS@FFF5	异步串口控制寄存器。ASPCR控制异步串口工作
IOSR	IS@FFF6	I/O 状态寄存器。IOSR检测引脚I00-I03上的当前电平（随输入变化）和UART的状态。
BRD	IS@FFF7	波特率分频器。用于设置UART的波特率。
TCR	IS@FFF8	定时器控制寄存器。TCR内包含定义分频比、启/停定时器和重装周期的控制位。TCR含有预定标器的当前计数。复位将初始化定时器分频比为0并启动定时器
PRD	IS@FFF9	定时器周期寄存器。PRD包含16位周期，当计数器借位或重装位被激活时该16位周期被装载到定时计数器。复位将初始化PRD为0xFFFF
TIM	IS@FFFA	定时器计时器寄存器。TIM包含定时器的当前16位计数。复位将初始化TIM为0xFFFF
WSGR	IS@FFFC	等待状态产生器寄存器。WSGR包含用于使能程序、数据和I/O空间产生0，...，7个等待状态的12个控制位。复位将初始化WSGR为0x0FFFh

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com

邮编：430079

传真：(86) (027) 87491166, 87493497

表11 TMS320C209存储器映射寄存器

名称	地址	说明
IMR	DS@0004	中断屏蔽寄存器。IMR分别屏蔽或使能7个中断。低3位对应3个外部中断引脚(位0连到 $\overline{INT1}$, 位1连到 $\overline{INT2}$, 位2连到 $\overline{INT3}$)。位3连到定时器中断。位4和5在TMS320C209中不用。位6保留为监控模式仿真工作, 除与仿真监控一道工作外, 应总设置为0。位7-15在TMS320C209中不用。复位时IMR设置为0
GREG	DS@0005	全局存储器分配寄存器。GREG规定全局存储器空间的大小。复位时GREG被置为0
IFR	DS@0006	中断标志寄存器。IFR指示T320C2xLP内核已锁存一个来自可屏蔽中断的中断脉冲。低3位对应于3个外部中断引脚(位0连到 $\overline{INT1N}$, 位1连到 $\overline{INT2N}$, 位2连到 $\overline{INT3N}$)。位4连到定时器中断。位5和位6在TMS320C209中不用。位7保留为监控模式仿真工作, 除与仿真监控一道工作外, 应总设置为0。1指示相应存储单元中的有效中断。写1到相应中断位将清除有效标志和相应的挂起中断。写1到无效标志无影响。复位时IFR被置为0
TCR	IS@FFFC	定时器控制寄存器。TCR包含定义分频比、启/停定时器和重装周期的控制位。TCR也包含预定标器的当前计数。复位将初始化定时器分频比为0并启动定时器
PRD	IS@FFFD	定时器周期寄存器。PRD包含16位周期, 当计数器借位或重装位被激活时该16位周期被装载到定时器计数器。复位将初始化PRD为0xFFFF
TIM	IS@FFFE	定时器计数器寄存器。TIM包含定时器的当前16位计数。复位将初始化TIM为0xFFFF
WSGR	IS@FFFF	等待状态产生器寄存器。WSGR包含用于使能程序、数据和I/O空间产生单个等待状态的3个控制位和地址可见性使能位。复位将初始化WSGR为0xF

2.4 外部接口

TMS320C2xx可分别在程序、数据和I/O空间中寻址高达64K×16字范围的存储器或寄存器。当片内存储器被使能时, 将占去这些片外范围的一部分。在数据空间中, 使用GREG寄存器可把高32K字动态地映射为局部或全局存储器。访问全局数据存储器将声明BR为低电平(其时序类似于地址总线的时序)(见表8)。

TMS320C2xx的CPU在同一机器周期内执行取程序、读数据和写数据。这是因为CPU可以在同一周期内从片内存储器执行这三种操作。然而, 由于外部接口把内部总线多路复用至一组地址总线和一组数据总线, 所以外部接口在确定这些操作的顺序时, 首先完成数据写, 其次是数据读, 最后是程序读。

'C2xx支持宽范围的系统接口要求。程序、数据以及I/O地址空间提供与存储器和I/O的接口, 使系统吞吐量为最大。完全的16位地址和数据总线与 \overline{PS} 、 \overline{DS} 以及 \overline{IS} 空间选择信号一起, 允许在任一程序、数据和I/O空间中寻址64K的16位字。

通过与存储器相同的方法处理I/O, 使I/O的设计得以简化。使用处理器的外部地址和数据总线, 采用与存储器映射器件相同的方法将I/O设备映射到I/O地址空间。

'C2xx外部并行接口提供控制信号以方便与器件的接口。提供 $\overline{R/W}$ 输出信号以指示当前周期是读周期还是写周期。 \overline{STRB} 输出信号提供所有外部周期的定时基准。为方便起见, 器件还提供 \overline{RD} 和 \overline{WE} 输出信号, 它们与这些周期的时序信息一起分别指示读周期和写周期。这些信号的使用可使外部器件与'C2xx接口所需的外部选通最少。

通过使用READY线, 使得'C2xx可与各种速度的存储器和I/O设备的接口得以完成。当与慢速设备交互作用时, 'C2xx处理器将处于等待状态直至其它设备完成其功能, 并利用READY线通知处理器为止。一旦外部设

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

信箱: 武汉市70020信箱

电话: (86) (027) 87493500 ~ 87493506

P&S网网址: <http://www.p8s.com>

邮编: 430079

传真: (86) (027) 87491166, 87493497

备提供准备就绪的指示,执行便继续。对于 $\overline{C209}$,为了完成对内部数据I/O存储器映射寄存器的读或写,READY线必须被驱动至有效高电平。

总线请求(BR)信号与其它 $\overline{C2xx}$ 接口信号一起使用可解决外部全局存储器的访问。全局存储器是外部数据存储器空间,在开始访问此空间时BR信号被声明。当外部全局存储器接收到总线请求时,在全局存储器访问解决且全局访问完成之后,它通过声明准备就绪信号作为响应。

TMS320C2xx在外部接口上支持零等待状态读。然而,为了避免总线冲突,写操作占两个周期。这使 $\overline{C2xx}$ 能对从输入到输出(或输出到输入)过程中数据总线上的变化提供半个周期的缓冲。在大多数系统中, $\overline{C2xx}$ 读与写之比相当大,以便使额外的写周期的开销为最小。

当访问慢速外部源时,可产生等待状态。等待状态工作于机器周期的边界,并可通过使用准备就绪信号或使用软件等待状态产生器来启动。准备就绪信号可用于产生任何数目的等待状态。

2.5 中断和子程序

$\overline{C2xx}$ 具有4种通用中断 $\overline{INT3-INT1}$,以及复位(\overline{RS})和用于外部器件请求处理器注意的非屏蔽中断(NMI)。内部中断由串口(RINT和XINT)(仅 $\overline{C203}$)、定时器(TINT)、UART、TXRXINT(仅 $\overline{C203}$)和软件中断(TRAP、INTR和NMI)指令产生。中断优先级以 \overline{RS} 为最高,依次为NMI,定时器($\overline{C209}$)或UART($\overline{C203}$)最低。另外,除 \overline{RS} 和NMI外,任何中断可用中断屏蔽寄存器(IMR)中的专用位分别屏蔽,可用中断标志寄存器(IFR)中的专用位清除、置1或测试。复位和NMI功能是不可屏蔽的。

所有中断向量单元以两个地址分开,以便如有需要,转移指令可寄存在这些单元。

内部机制保护多周期指令免受中断。如果在多周期指令期间出现中断,直到指令执行完毕之前,中断不被处理。此机制用于被重复的指令(用RPT指令)和因为等待状态而变成多周期的指令。

每次服务一个中断或进入一个子程序,PC都要被推进内部硬件堆栈,提供返回先前位置的机制。堆栈包含8个存储单元,允许中断或子程序嵌套至8级深度。

2.6 复位

TMS320C203只具有一个低电平有效的复位(\overline{RS}),而TMS320C209具有两个复位:RS和 \overline{RS} 。

TMS320C209复位的RS和 \overline{RS} 是不同步的。最小6个周期的脉冲持续时间保证异步复位信号复位器件。RS或 \overline{RS} 均可复位器件,RS高电平有效, \overline{RS} 低电平有效。TMS320C2xx在 \overline{RS} 的上升沿($\overline{C203}$ 或 $\overline{C209}$)或RS的下降沿(仅 $\overline{C209}$)之后大约16个周期取出它的第一条指令。

请注意,复位将停止所有操作,不管其完成与否。因此,系统状态和数据通过复位操作后将不被保留。例如,当复位开始时器件正在写外部资源,则写被中止。这将损坏系统资源的数据。因而复位之后必须初始化系统。

2.7 省电方式

$\overline{C2xx}$ 具有几种省电方式,能使 $\overline{C2xx}$ 内核进入休眠状态,从而消耗相当低的功耗。省电方式可用执行IDLE指令或驱动HOLD(仅 $\overline{C203}$)输入为低电平来启动。当HOLD信号启动省电方式时,片内外围设备继续工作;此省电方式当HOLD无效时(仅 $\overline{C203}$)时结束。

当 $\overline{C2xx}$ 处于省电方式时,所有内部内容均被保留;这允许当省电方式结束时操作照旧继续进行。当IDLE指令被执行时,所有CPU的活动停止,但CLKOUT1引脚是否有效则取决于IC寄存器(仅 $\overline{C203}$)的状态。外设的电路继续工作,允许串口和定时器之类的外围设备使CPU脱离省电状态。当由IDLE指令启动省电方式时,那么它在接收到中断时结束。

2.8 软件控制的等待状态产生器

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

信箱:武汉市70020信箱

电话:(86)(027)87493500~87493506

P&S网网址: <http://www.p8s.com>

邮编:430079

传真:(86)(027)87491166,87493497

由于TMS320C2xx器件的快速周期时间,所以经常有必要执行等待状态工作以实现同外部逻辑和存储器的接口。对于许多系统,一个等待状态就足够了。

2.8.1 TMS320C209软件等待状态产生器

当TMS320C209全速工作时,要它响应得足够快从而可为第一个周期提供基于READY的等待状态是较困难的。由于这一原因,TMS320C209包含一个简单的软件控制的等待状态产生器以提供第一个等待状态。

软件控制的等待状态产生器可被编程为给定的外部空间产生第一个等待状态。WSGR有4位:AVIS、DATA、PROG和I/O。如果相应位被置为1,不管READY信号的状态如何,等待状态产生器将对给定的存储器空间插入一等待状态。然后可用READY进一步扩展等待状态。AVIS位不同于其他的WSGR位,因为它不产生等待状态,而是使能'320C209的地址可见方式。在地址可见方式下,当地址总线不用于外部存取时,内部程序地址被提供到地址总线上。WSGR位最初被复位设置为1,因而器件可同慢速存储器一起工作。初始化之后,AVIS位应设置为0,使产品系统减小功耗和噪声。WSGR寄存器(见图4和表12)位于I/O空间0xFFFF单元。

3	2	1	0
AVIS	ISWS	DSWS	PSWS

图4 TMS320C209等待状态产生器控制寄存器(WSGR)

表12 'C209等待状态产生器控制寄存器(WSGR)

终端	名称	说 明
0	PSWS	外部程序空间等待状态启动。当有效时,PSWS=1将向所有对片外程序空间的读操作中插入一个等待状态(不管PSWS或READY状态如何,写总是至少用两个周期)。存储器周期可用READY信号进一步扩展。然而,READY信号不会覆盖PSWS所产生的等待状态。此位由复位(RS或RS)设置为1(有效)
1	DSWS	外部数据空间等待状态启动。当有效时,DSWS=1将向所有对片外数据空间的读操作中插入一个等待状态(不管DSWS或READY状态如何,写总是至少用两个周期)。存储器周期可用READY信号进一步扩展。然而,READY信号不会覆盖由DSWS所产生的等待状态。此位由复位(RS或RS)设置为1(有效)
2	ISWS	外部输入/输出空间等待状态启动。当有效时,ISWS=1将向所有片外I/O空间的读操作中插入一个等待状态(不管ISWS或READY状态如何,写总是至少用两个周期)。存储器周期可用READY信号进一步扩展。然而,READY信号不会覆盖ISWS所产生的等待状态。此位由复位(RS或RS)设置为1(有效)
3	AVIS	地址可见。当AVIS为有效高电平时,如果总线当前未用于外部存储器操作,则可使内部程序总线出现在逻辑接口地址总线。内部地址的可见性提供了跟踪内部码操作的机制。因而存储器控制信号无效。AVIS由复位(RS或RS)设置为1(有效)

2.8.2 TMS320C203软件等待状态产生器

软件等待状态产生器可被编程为给定的空间产生0至7个等待状态。WSGR有12位:3位DATA、6位PROGRAM和3位I/O。等待状态产生器根据这12位的值向给定的存储器空间插入等待状态,而不管READY信号的状态。READY信号可用来进一步扩展等待状态。所有位在复位时被置为1,以便复位后器件可与慢速存储器一道工作。WSGR寄存器(示于图5和表13、表14)位于I/O空间0xFFFF单元。

15-12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	ISWS			DSWS			PSUWS			PSLES		
0	W			W			W			W		

图5 TMS320C203等待状态产生器控制寄存器(WSGR)

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号	P&S网网址: http://www.p8s.com
信箱:武汉市70020信箱	邮编:430079
电话:(86)(027)87493500~87493506	传真:(86)(027)87491166,87493497

表13 TMS320C203等待状态编程

BITS 11, 8, 5, 2	BITS 10, 7, 4, 1	BITS 9, 6, 3, 0	WAIT-STATES FOR PROGRAM, DATA, AND I/O
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

表14 \bar{C} 203等待状态产生器控制寄存器 (WSGR)

位序	名称	说 明
2-0	PSLWS	外部程序空间等待状态 (低端)。PSLWS决定0至7个等待状态被用于对片外低端程序空间地址 (0h-7FFFh) 的所有读和写。存储器周期可用READY信号进一步扩展。READY信号不会覆盖PSWS所产生的等待状态。这些位由复位 (\overline{RS}) 设置为1 (有效)
5-3	PSUWS	外部程序空间等待状态 (高端)。PSUWS决定0至7个等待状态被用于对片外高端程序空间地址 (8000h-0FFFFh) 的所有读和写。存储器周期可用READY信号进一步扩展。READY信号不会覆盖PSWS所产生的等待状态。这些位由复位 (\overline{RS}) 设置为1 (有效)
8-6	DSWS	外部数据空间等待状态。DSWS决定0至7个等待状态被用于片外数据空间的所有读和写。存储器周期可用READY信号进一步扩展。READY信号不会覆盖DSWS所产生的等待状态。这些位由复位 (\overline{RS}) 设置为1 (有效)
11-9	ISWS	外部输入/输出空间等待状态。ISWS决定0至7个等待状态被用于对片外I/O空间的所有读和写。存储器周期可用READY信号进一步扩展。READY信号不会覆盖ISWS所产生的等待状态。这些位由复位 (\overline{RS}) 设置为1 (有效)
15-12	X	不用

2.9 定时器

\bar{C} 2xx具有一个带4位预定标器的16位定时电路。此定时器确定器件自身的机器速率为半秒至30秒之间，这取决于可编程的定时器分频比。定时器可被特定的状态位停止、重新启动、复位或禁止。

定时器可用来产生周期性的CPU中断。定时器在每个CLKOUT1周期被减1。每当计数器减至零时，就会在外部TOUT引脚上产生一个定时器中断 (TINT) 和一个持续时间等于CLKOUT1周期的脉冲。因而定时器可提供实现周期性I/O或其他功能的方便方法。

2.10 TMS320C209输入时钟选项

TMS320C209包含两种时钟选项。第一种选项 ($\div 2$) 使CPU工作在输入时钟速率的一半。第2种选项 ($\times 2$) 加倍输入时钟，并用输入时钟相位锁定输出时钟相位。 $\div 2$ 模式通过将CLKMOD引脚接至低电平使能。 $\times 2$ 模式通过连接CLKMOD引脚到高电平使能。

\bar{C} 209的时钟倍增选项应用内部锁相环 (PLL)，它大约需用1000周期完成锁定。 \overline{RS} 的上升沿 (或RS的下降沿) 必须延迟到PLL稳定之后至少3个周期。而且，时钟模式的配置不能动态转换，因为内部时钟产生器受扰动会产生极小的时钟脉冲。如果CLKMOD引脚发生变化， \overline{RS} 或RS信号应在其有效状态。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号
信箱：武汉市70020信箱
电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com
邮编：430079
传真：(86) (027) 87491166, 87493497

2.11 TMS320C203输入时钟选项

TMS320C203具有多种时钟模式： $\div 2$ 、 $\times 1$ 、 $\times 2$ 、 $\times 4$ 。如果没有执行其它的复位，时钟模式的配置不能被动态改变。PLL电路的工作受器件工作电压的影响。如果器件工作在5V，则PLL 5V信号应连到高电平。对于3V工作，PLL 5V应连到低电平。

2.12 同步串口（仅TMS320C203）

全双工（双向）16位片内同步串口提供与编码解码器、串行A/D（模/数）转换器等其他串行器件及其他串行系统直接通讯的功能。接口信号同编码解码器和许多其他串行器件兼容。串口也可用于多处理应用中处理器之间的相互通讯。

接收和发送操作都有4级深度的先进先出缓冲器（FIFO）。具有FIFO的优点是减少发送或接收数据中CPU中断的次数，并允许16位数据包的连续通讯流。当用最大包频率发送时，连续模式提供的操作一旦开始就无需更多的帧同步脉冲。发送和接收操作的最大传输速率是CPU时钟频率除以2或CLKOUT1（频率）/2。因而对于25ns器件的最大速率为20兆位/秒，对于35ns器件为14.28兆位/秒。在低时钟频率时，串口完全是静态和功能任选的。当串口处于复位状态时，器件可被配置为关闭串口内部时钟，允许器件运行在低功耗工作模式。

为了传输数据，连接发送器件的发送引脚和接收器件的接收引脚需要3个信号。发送的串行数据信号（DX）传送实际的数据。发送帧同步信号（FSX）启动传送（在包的开始），发送时钟信号（CLKX）定时位传送。接收器件上对应的引脚相应为DR、FSR和CLKR。

2.13 异步串口（仅 τ C203）

异步串口是全双工的，并且只发送和接收8位数据。对于发送和接收，有1个起始位以及由异步串口控制寄存器（ASPCR）可配置的1个或2个停止位。双缓冲或发送/接收数据用于所有模式。波特率产生器用BRD波特率除数寄存器来获得波特率。最大波特率为2.5兆位/秒，即每秒250000个字符（在25ns指令周期时间下）。

2.14 TMS320C2xx基于扫描的仿真

TMS320C2xx器件采用基于扫描的仿真支持代码和硬件开发。基于扫描的仿真允许仿真器控制系统中的处理器而无需使用接到器件所有引脚的插入式电缆。

2.15 多处理（仅 τ C203）

τ C2xx的灵活性允许多种配置以满足广泛的系统需求；器件可用于各种系统配置，包括但不限于下列各项：

- 独立处理器
- 并行系统中的多处理器
- 带全局存储空间的主/从多处理器
- 通过处理器控制信号接口到其他器件的外围处理器

对于多处理器应用， τ C2xx具有分配全局存储器空间以及通过 \overline{BR} 和准备就绪（ready）控制信号同该空间进行通讯的能力。全局存储器是被多于一个的器件共享的数据存储器。全局存储器存取必须是任意的。8位存储器映射全局存储器分配寄存器（GREG）规定 τ C2xx部分数据存储器作为全局外部存储器。寄存器的内容决定全局存储器的大小。如果当前指令寻址全局空间内的操作数， \overline{BR} 则被声明为请求总线控制。存储器周期的长度由READY线控制。

τ C203支持用HOLD和HOLDA信号对其外部程序、数据和I/O空间的直接存储器存取（DMA）。其他器件可通过声明HOLD为低电平而取得对 τ C2xx外部存储器接口的全部控制。这将使 τ C2xx置其地址、数据和控制线为高阻状态，并声明HOLDA。

2.16 指令集

‘C2xx微处理器具有支持数字信号处理操作和通用应用的复杂指令集，例如多处理和高速控制。‘C1x和‘C2x DSP的源代码与‘C2xx向上兼容。

为了达到最大的吞吐量，在当前指令正在执行的同时预取下一条指令。由于同一组数据线被用于和外部数据、程序、或I/O空间通信，所以执行一条指令所需的周期数是变化的，它取决于是从内部存储器还是从外部存储器取回下一数据操作数。保持数据存储器在片内，并使用内部或高速外部程序存储器可达到最高的吞吐量。

2.16.1 寻址方式

‘C2xx指令集提供四种基本的存储器寻址方式：直接（direct）、间接（indirect）、立即（immediate）以及寄存器（register）。

在直接寻址中，指令字包含低七位数据存储器地址。此域（field）与数据存储器页指针（DP）的九位相连接以形成16位数据存储器地址。因此，在直接寻址方式中，数据存储器实际上总共分为512个页，每一页包含128个字。

间接寻址通过辅助寄存器访问数据存储器。在这种寻址方式中，指令操作数的地址包含在当前选择的辅助寄存器中。八个辅助寄存器（AR0-AR7）提供灵活而有效的间接寻址。为了选择特定的辅助寄存器，辅助寄存器指针（ARP）装入0至7的数值，它们分别适用于AR0至AR7。

有七种类型的间接寻址：自动增量或自动减量，加或减AR0内容，无增量或减量的简单间接（Single-indirect）寻址，以及有增量或减量的位反转（bit-reversed）寻址（用于FFT）。所有操作均在与原先指令相同的周期内、在当前辅助寄存器上执行，在此之后当前辅助寄存器和ARP可以被改变。

在立即寻址中，真正的操作数数据作为指令字的一部分提供。有两种类型的立即寻址：长（long）和短（short）。在短立即寻址中，数据包含在单字指令的部分位中。在长立即寻址中，数据包含在双字指令的第二个字中。立即寻址方式对于不需存储的数据或在程序执行过程中使用多于一次的数据是有用的，例如初始化数据或常数。

寄存器寻址方式使用CPU寄存器中的操作数。它可以是显式的，例如直接访问特定的寄存器；或者是隐含的，即使用内部固有访问某些寄存器的指令。在任何一种情况下，由于不需要指定整个16位操作数地址或立即数值便能使用16位的值，所以操作数的访问得以简化。

2.16.2 重复特性

重复功能可以和某些指令（在表16中定义）一起使用，这些指令如乘/加（MAC和MACD）、块移动（BLDD和BLPD）、I/O传送（IN/OUT）以及表读/写（TBLR/TBLW）。这些指令虽然通常是多周期的，但是由于使用重复特性时采用了流水线操作（are pipelined），它们实际上变为单周期指令。例如，读表（table-read）指令的执行要三个或更多周期，但是当指令重复时，每个周期可以读出一个表地址。

如果使用直接或间接寻址，那么将用被寻址的数据存储器单元装载重复计数器（RPTC）；如果使用短立即寻址，那么将用8位立即值装载重复计数器（RPTC）。RPTC寄存器用RPT指令装载。重复指令将使给定的指令最多执行N+1次。RPTC由复位清除。一旦重复指令（RPT）被译码，包括NMI在内的所有中断（除了复位以外）均被屏蔽，直至重复循环完成为止。但当执行RPT循环时，器件会对HOLD信号作出响应。

2.16.3 指令集小结

本节归纳了‘C2xx数字信号处理器指令集的操作码。此指令集是‘C1x和‘C2x指令集的超集。指令按照功能分类，在每一类中则依照助记符字母表顺序排列。表8中的符号用于指令集操作码表（表16）。德州仪器公司的‘C2xx汇编器接受‘C2x指令。

指令在程序存储器中所占据的字数在表16的第3列中规定。有些指令在字数栏规定了用斜杠（/）分开的两个字数值。在这些情况下，不同形式的指令占据不同的字数。例如，当操作数是短立即值时，ADD指令占

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：<http://www.p8s.com>

邮编：430079

传真：(86) (027) 87491166, 87493497

据一个字；当操作数是长立即值时，ADD指令占据两个字。

指令执行所需的周期数也列在表16的第3列。所有指令均假设从内部程序存储器（RAM）和内部数据双口存储器执行。周期时序关系适用于单指令执行，不适用于重复形式。

表15 操作码符号

符号	说明
A	地址
ACC	累加器
ACCB	累加器缓冲器
ARX	辅助寄存器值（0-7）
BITX	4位域，规定了用于BIT指令测试的那些位
BMAR	块移动地址寄存器
DBMR	动态位处理寄存器
I	寻址方式位
II...II	立即操作数值
INTM	中断方式标志位
INTR #	中断矢量号
N	XC指令的域，指出条件执行的指令数（一或二条）
PREG	乘积寄存器
PROG	程序存储器
RPTC	重复计数器
SHF, SHFT	3或4位位移值
TC	测试控制位
TP	条件执行指令所使用的两位，代表条件TC、NTC、以及B10 TP 意义 00 B10为低电平 01 TC=1 10 TC=0 11 不满足上述任何条件
TREGn	暂存寄存器n(n=0,1,或2)
ZLVC	代表下列条件的4位域： Z：ACC=0 L：ACC<0 V：溢出 C：进位 条件指令包括两个这种4位域。指令的4位LSB域是4位屏蔽域。屏蔽位中的1指示相应条件将被测试。第二个4位域（位4-7）指示被测试的屏蔽位所指出的条件的状态。例如要测试ACC=0，Z和L域被置位同时V和C域不置位。下一个4位域包含测试条件的状态。Z域被置位以指示测试条件ACC=0，L域被复位以指示测试条件ACC=0。这八位的可能条件组合出现在BCND、CC以及XC指令中。为了确定条件是否满足，4位LSB屏蔽位与条件位相“与”。如果任何位被置位，那么条件符合。

表16 TMS320C2xx指令集概要

'C2xx 助记符	说 明	字数/ 周期数	操 作 码			
			MSB			LSB
ABS	累加器取绝对值	1/1	1011	1110	0000	0000
ADD	带移位加至累加器	1/1	0010	SHFT	IADD	RESS
ADDC	带进位加至累加器	1/1	0110	0000	IADD	RESS
ADD	加到累加器高位字	1/1	0110	0001	IADD	RESS
	短立即数加至累加器	1/1	1011	1000	8位	CNST
	将长立即数移位加到累加器	2/2	1011	1111	1001	SHFT 16位常数
ADDS	抑制符号扩展加到累加器低位字	1/1	0110	0010	IADD	RESS
ADDT	按T寄存器内容移位并加至累加器	1/1	0110	0011	IADD	RESS
ADRK	将短立即数加至辅助寄存器	1/1	0111	1000	8位	CNST
AND	和累加器逻辑与	1/1	0110	1110	IADD	RESS
AND	将立即数移位并和累加器逻辑与	2/2	1011	1111	1011	SHFT 16位常数
	将立即数移位16位，并和累加器逻辑与	2/2	1011	1110	1000	0001 16位常数
APAC	把P寄存器加至累加器	1/1	1011	1110	0000	0000
B	无条件转移	2/4	0111	1001	IADD	RESS 转移地址
BACC	转移到累加器指定的地址	1/4	1011	1110	0010	0000 转移地址
BANZ	辅助寄存器非零时转移	2/4/2	0111	1011	IADD	RESS 转移地址
BCND	TC位 0时转移	2/4/2	1110	0001	0000	0000 转移地址
	TC位=0时转移	2/4/2	1110	0010	0000	0000 转移地址
	有进位时转移	2/4/2	1110	0011	0001	0001 转移地址
	累加器 0时转移	2/4/2	1110	0011	1000	1100 转移地址
	累加器>0时转移	2/4/2	1110	0011	0000	0100 转移地址
	I/O状态为低电平时转移	2/4/3	1110	0000	0000	0000 转移地址
	累加器 0时转移	2/4/2	1110	0011	1100	1100 转移地址
BIT	位测试	1/1	0100	位x	IADD	RESS
BITT	测试由TREG指定的位	1/1	0110	1111	IADD	RESS
BLDD	数据存储器之间的块传送，源地址为立即数	2/3	1010	1000	IADD	RESS 转移地址
	数据存储器之间的块传送，目的地址为立即数	2/3	1010	1001	IADD	RESS 转移地址

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com

邮编：430079

传真：(86) (027) 87491166, 87493497

续上表

`C2xx 助记符	说 明	字数/ 周期数	操 作 码			
			MSB			LSB
BLPD	程序存储器至数据存储器的块传送	2/3	1110	0011	IADD	RESS 转移地址
BCND	累加器<0时转移	2/4/2	1110	0011	0100	0100 转移地址
	无进位时转移	2/4/2	1100	0011	0000	0001 转移地址
	无溢出时转移	2/4/2	1110	0011	0000	0010 转移地址
	累加器=0时转移	2/4/2	1110	0011	0000	1000 转移地址
	溢出时转移	2/4/2	1110	0011	0010	0010 转移地址
	累加器=0时转移	2/4/2	1110	0011	1000	1000 转移地址
CALA	间接调用子程序	1/4	1011	1110	0011	0000
CALL	调用子程序	2/4	0111	1010	IADD	RESS 子程序地址
CC	条件调用子程序	2/4/2	1110	10TP	ZLVC	ZLVC 子程序地址
CMPL	累加器求补	1/1	1011	1110	0000	0001
CMPR	辅助寄存器与辅助寄存器AR0比较	1/1	1011	1111	0100	01CM
CLRC	把片内DARAM B0块配置为数据存储器	1/1	1011	1110	0100	0100
SETC	把片内DARAM B0块配置为程序存储器	1/1	1011	1110	0100	0101
	禁止中断	1/1	1011	1110	0100	0001
DMOV	在数据存储器内进行数据移动	1/1	0111	0111	IADD	RESS
CLRC	使能中断	1/1	1011	1110	0100	0000
IDLE	空闲直至中断发生	1/1	1011	1110	0010	0010
IN	从端口输入数据	2/2	1010	1111	IADD	RESS
			16位端口地址			
INTR	软件中断	1/4	1011	1110	0111	
LACC	移位装载累加器	1/1	0001	SHFT	IADD	RESS
LACL	用短立即数装载累加器	1/1	1011	1001	8位	CNST
LACT	按T寄存器内容移位并装载累加器	1/1	0110	1011	IADD	RESS
LACC	将长立即数移位并装载累加器	2/2	1011	1111	1000	SHFT 16位常数

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

P&S网网址: http://www.p8s.com

信箱:武汉市70020信箱

邮编:430079

电话:(86)(027)87493500~87493506

传真:(86)(027)87491166, 87493497

续上表

'C2xx 助记符	说 明	字数/ 周期数	操 作 码			
			MSB			LSB
LAR	装载辅助寄存器	1/2	0000	0ARx	IADD	RESS
	用短立即数装载辅助寄存器	1/2	1011	0ARx	8位	CNST
MAR	装载辅助寄存器指针	1/1	1000	1011	1000	1ARx
LDP	装载数据存储器页指针	1/2	0000	1101	IADD	RESS
LDP	用立即数装载数据存储器页指针	1/2	1011	110	页指针	OINT
LPH	装载P寄存器高位字	1/1	0111	0101	IADD	RESS
LAR	用长立即数装载辅助寄存器	2/2	1011	1111	0000	1ARx 16位常数
LST	装载状态寄存器ST0	1/2	0000	1110	IADD	RESS
	装载状态寄存器ST1	1/2	0000	1111	IADD	RESS
LT	装载T寄存器	1/1	0111	0011	IADD	RESS
LTA	装载T寄存器并累加前次乘积	1/1	0111	0000	IADD	RESS
LTD	装载T寄存器, 累加前次乘积, 并移动数据	1/1	0111	0010	IADD	RESS
LTP	装载T寄存器且把P寄存器存储到累加器中	1/1	0111	0001	IADD	RESS
LTS	装载T寄存器并减去前次乘积	1/1	0111	0100	IADD	RESS
MAC	乘且累加	2/3	1010	0010	IADD	RESS 16位常数
MACD	乘加并进行数据移动	2/3	1010	0011	IADD	RESS 16位常数
MAR	修改辅助寄存器	1/1	1000	1011	IADD	RESS
MPY	乘(与TREG乘, 其乘积存储在P寄存器中)	1/1	0101	0100	IADD	RESS
	乘立即数	1/1	110C	CNST	ANTx	xxxx
MPYA	乘且累加前次乘积		0101	0000	IADD	RESS
MPYS	乘且减去前次乘积		0101	0001	IADD	RESS
MPYU	无符号乘	1/1	0101	0101	IADD	RESS
NEG	累加器求负	1/1	1011	1110	0000	0010
NMI	不可屏蔽中断	1/4	1011	1110	0101	0010
NOP	空操作	1/1	1000	1011	0000	0000
NORM	规格化累加器的内容	1/1	1010	0000	IADD	RESS
OR	与累加器“或”	1/1	0110	1101	IADD	RESS
	将立即数移位并与累加器“或”	2/2	1011	1111	1100	SHFT 16位常数
	将立即数移位16位并与累加器“或”	2/2	1011	1110	1000	0010 16位常数
OUT	数据从端口输出	2/3	0000	1100	IADD	RESS 16位I/O端口地址

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱: 武汉市70020信箱

邮编: 430079

电话: (86) (027) 87493500 ~ 87493506

传真: (86) (027) 87491166, 87493497

续上表

'C2xx 助记符	说 明	字数/ 周期数	操 作 码			
			MSB			LSB
PAC	用P寄存器装载累加器	1/1	1011	1110	0000	0011
POP	栈顶弹出至累加器低位字	1/1	1011	1110	0011	0010
POPD	栈顶弹出至数据存储器	1/1	1000	1010	IADD	RESS
PSHD	数据存储器值进栈	1/1	0111	0110	IADD	RESS
PUSH	累加器低位字进栈	1/1	1011	1110	0011	1100
CLRC	复位进位位	1/1	1011	1110	0100	1110
RETC	从子程序条件返回	1/4/2	1110	11TP	ZLVC	ZLVC
RET	从子程序返回	1/4	1110	1111	0000	0000
ROL	累加器循环左移	1/1	1011	1110	0000	1100
ROR	累加器循环右移	1/1	1011	1110	0000	1101
CLRC	复位溢出方式	1/1	1011	1110	0100	0010
	复位符号扩展方式	1/1	1011	1110	0100	0110
	复位测试/控制标志	1/1	1011	1110	0100	1010
	复位外部标志	1/1	1011	1110	0100	1100
RPT	按数据存储器规定的值重复执行下一条指令	1/1	0000	1011	IADD	RESS
RPT	按立即数规定的值重复执行下一条指令	1/1	1011	1011	REPE	ATxx
SACH	移位存储累加器高位字	1/1	1001	1SHF	IADD	RESS
SACL	移位存储累加器低位字	1/1	1001	0SHF	IADD	RESS
SAR	存储辅助寄存器	1/1	1000	0ARx	IADD	RESS
SBRK	从辅助寄存器减去立即数	1/1	0111	1100	8位	CNST
SETC	设置进位位	1/1	1011	1110	0100	1111
SFL	累加器左移	1/1	1011	1110	0000	1001
SFR	累加器右移	1/1	1011	1110	0000	1010
SETC	设置溢出方式	1/1	1011	1110	0100	0011
SPAC	从累加器减去P寄存器	1/1	1011	1110	0000	0101
SPH	存储P寄存器高位字	1/1	1000	1101	IADD	RESS
SPL	存储P寄存器低位字	1/1	1000	1100	IADD	RESS
SPM	设置P寄存器输出移位方式	1/1	1011	1111	IADD	RESS
SQRA	平方且累加	1/1	0101	0010	IADD	RESS
SQRS	平方并从累加器减去前次的乘积	1/1	0101	0011	IADD	RESS
SST	存储状态寄存器ST0	1/1	1000	1110	IADD	RESS
SST	存储状态寄存器ST1	1/1	1000	1111	IADD	RESS
SPLK	把长立即数存入数据存储器	2/2	1010	1110	IADD	RESS 16位常数
SSXM	设置符号扩展方式	1/1	1011	1110	0100	0111
SETC	设置测试/控制标志	1/1	1011	1110	0100	1011

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

信箱:武汉市70020信箱

电话:(86)(027)87493500~87493506

P&S网网址:http://www.p8s.com

邮编:430079

传真:(86)(027)87491166,87493497

续上表

'C2xx 助记符	说 明	字数/ 周期数	操 作 码			
			MSB			LSB
SUB	长立即数移位后从累加器减去	2/2	1011	1111	1010	SHFT 16位常数
	移位后从累加器减	1/1	0011	SHFT	IADD	RESS
	累加器高位字减	1/1	0110	0101	IADD	RESS
	累加器减去短立即数	1/1	1011	1010	8位	CNST
SUBB	带借位从累加器减	1/1	0110	0100	IADD	RESS
SUBC	条件减	1/1	0000	1010	IADD	RESS
SUBS	抑制符号扩展, 从累加器低位字减	1/1	0110	0110	IADD	RESS
SUBT	按寄存器内容移位后从累加器减	1/1	0110	0111	IADD	RESS
SETC	设置外部标志	1/1	1010	0110	IADD	RESS
TBLR	表读	1/3	1010	0111	IADD	RESS
TBLW	表写	1/3	1011	1110	0101	0001
TRAP	软件中断	1/4	1011	1110	0101	0001
XOR	与累加器“异或”	1/1	0110	1100	IADD	RESS
	立即数移位后与累加器“异或”	2/2	1011	1111	1101	SHFT 16位常数
	立即数移位16位后与累加器“异或”	2/2	1011	1110	1000	0011 16位常数
LACL	累加器清零	1/1	1011	1001	0000	0000
	累加器低位字清零并装载累加器高位字	1/1	0110	1010	IADD	RESS
	累加器低位字清零并无符号扩展装载累加器低位字	1/1	0110	1001	IADD	RESS
ZALR	累加器低位字清零并带舍入装载累加器高位字	1/1	0110	1000	IADD	RESS

2.17 开发支持

德州仪器公司提供适用于'C2xx系列DSP的开发工具, 包括评估处理器性能的工具、代码产生工具、算法开发的工具、以及集成化调试软件和硬件模块。

下列产品支持基于'C2xx应用的开发。

2.17.1 软件开发工具

汇编器/连接器 (Assembler/linker)

模拟器 (Simulator)

优化的ANSI C编译器 (Optimizing ANSI C Compiler)

应用算法库 (Application algorithms)

C/汇编调试器和代码剖析器 (C/Assembly debugger and code profiler)

2.17.2 硬件开发工具

仿真器XDS510™ (支持'C2xx多处理器系统调试)

文献《The TMS320 Family Development Support Reference Guide (TMS320系列开发支持参考指南)》(文献号SPRU011D)包含适用于TMS320系列器件开发支持产品的有关资料, 包括文档在内。有关TMS320文档或

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

信箱: 武汉市70020信箱

电话: (86) (027) 87493500 ~ 87493506

P&S网网址: <http://www.p8s.com>

邮编: 430079

传真: (86) (027) 87491166, 87493497

德州仪器公司出品的任何其它TMS320支持产品的进一步资料请参见此文献。还有一个附加文献《TMS320 Third Party Support Reference Guide》(文献号SPRU052),它包含业界其它公司出品的TMS320相关产品和有关资料。要取得TMS320文献的副本,请致电800/477-8924与文献应答中心联系。

'C2xx开发支持工具的完整清单参见表17。有关价格和供货的信息,请与附近的TI区域销售机构或授权分销商联系。

表17 TMS320C2xx开发支持工具

开发工具	平台	部件号
软 件		
编译器/汇编器/连接器	SPARC™	TMDS3242555-08
编译器/汇编器/连接器	PC-DOS™	TMDS3242855-02
汇编器/连接器	PC-DOS, OS/2™	TMDS3242850-02
模拟器	PC-DOS, WIN	TMDS3245851-02
模拟器	SPARC	TMDS3245551-01
数字滤波器设计包	PC-DOS	DFDP
调试器/仿真软件	PC-DOS, OS/2, WIN	TMDS3240120
调试器/仿真软件	SPARC	TMDS3240620
硬 件		
XDS510™XL仿真器	PC-DOS, OS/2	TMDS00510
XDS510™WS仿真器	SPARC	TMDS00510WS

2.17.3 器件和开发支持工具的命名

为了区别产品开发周期中的不同阶段,德州仪器公司为所有TMS320器件和支持工具指定了部件号前缀。每一TMS320的成员具有三个前缀之一:TMX、TMP或TMS。德州仪器公司为其支持工具推荐了两个可能的前缀:TMDX和TMDS。这些前缀代表从工程原型样品(TM/TMDX)至完全检验合格的批量器件/工具(TMS/TMDS)的发展阶段,此开发流程规定如下:

器件开发的发展流程:

TMX 实验器件,它未必符合器件电气性能指标

TMP 符合器件电气性能指标的最终硅晶片,但尚未进行质量和可靠性验证

TMS 完全检验合格的批量器件

支持工具开发的发展流程:

TMDX 尚未经德州仪器公司内部质量测试的开发支持产品

TMDS 完全检验合格的开发支持产品

TMS器件和TMDS开发支持工具完全经过鉴定,器件的质量和可靠性已完全得到证明。TI公司标准保证其适用性。

预计原型器件(TM/TMP)比标准批量器件有更大的故障率。由于预期的原型器件的最终使用故障率仍是不确定的,所以德州仪器公司建议在任何批量系统中不要使用这些器件。只有经检验合格的批量器件才能被使用。

TI器件命名也包括器件系列名的后缀。此后缀指出封装类型(例如,N, FN或GB)和温度范围(例如,L)。图6和图7提供了阅读任何TMS320系列成员完整器件名称的图例。

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

信箱:武汉市70020信箱

电话:(86)(027)87493500~87493506

P&S网网址: <http://www.p8s.com>

邮编:430079

传真:(86)(027)87491166, 87493497

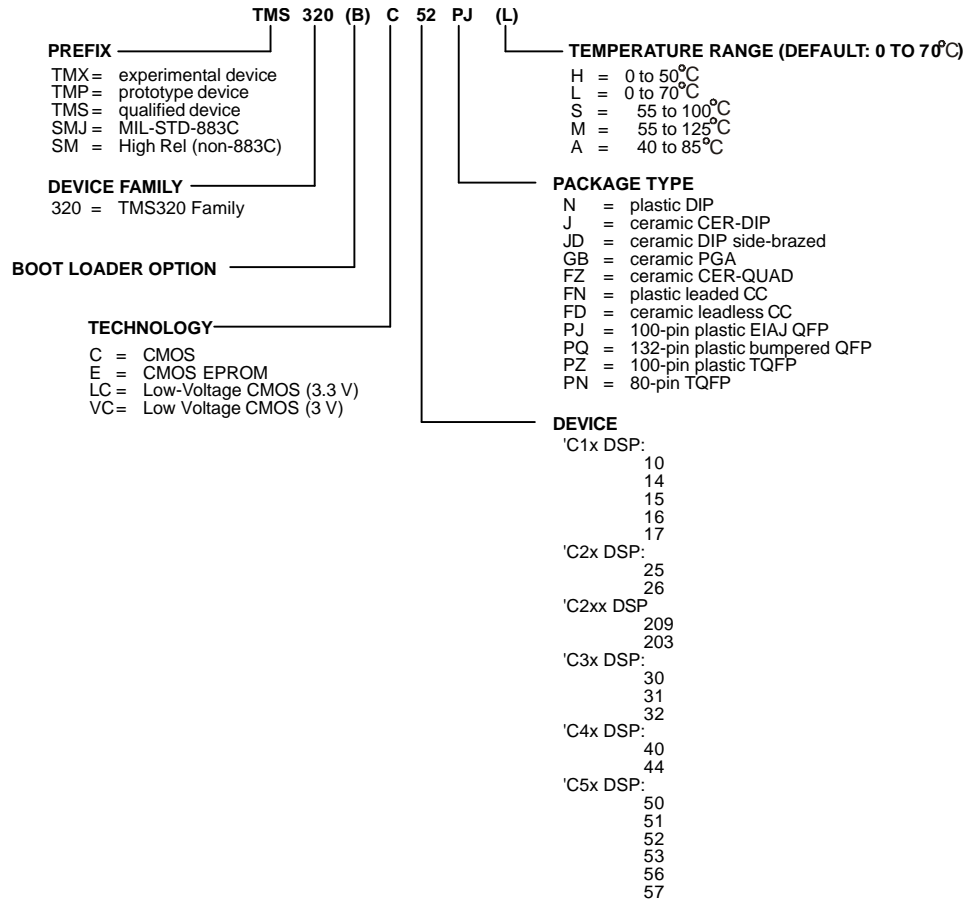


图6 TMS320器件命名规则

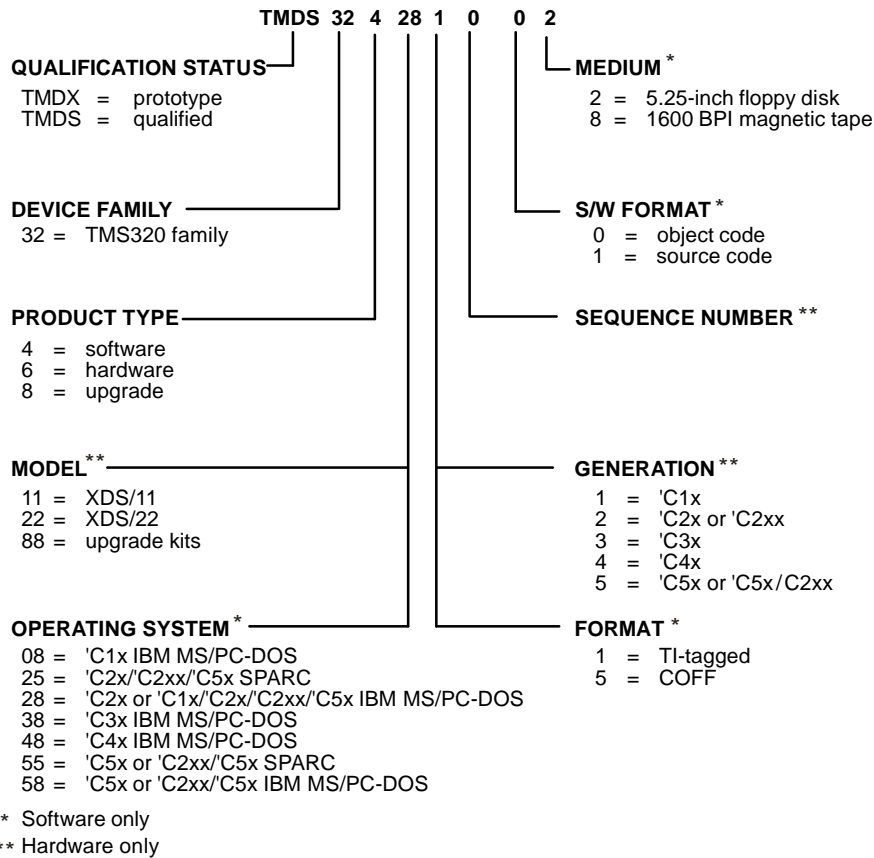


图7 320开发工具命名规则

2.18 文献支持

从产品发布到应用开发，广泛的文献支持所有的TMS320系列器件。文献类型包括：带有设计规格说明的数据手册（如本手册）适用于所有器件和开发支持工具的用户指南、三卷《TMS320系列数字信号处理应用》。

应用书籍系列说明了适用于定点和浮点TMS320系列器件的硬件和软件应用，包括算法。《TMS320C2xx DSP控制器用户指南》卷1和卷2详细说明了DSP控制器产品。

Prentice-Hall和John Wiley&Sons出版了一系列DSP教科书以支持数字信号处理研究和教育。TMS320的简讯《信号处理评述》每季度出版，使TMS320用户及时更新有关产品的信息。TMS320 DSP BBS提供对TMS320系列有价值信息的访问，包括文献以及许多DSP算法和实用程序的源代码及目标代码。BBS可由713/274-2323获得。

在环球网（World-Wide Web）网址<http://www.ti.com/dsps>上可找到有关TMS320 DSP控制器的最新信息。

三、特性

3.1 在工作温度范围内（自然通风）的极限参数（除非另有说明）（仅'320C2xx）+

电源电压范围， V_{DD} （见注释1）	-0.3V至7V
输入电压范围	-0.3V至7V
输出电压范围	-0.3V至7V
工作温度范围（自然通风）， T_A	0 至70
存储温度范围， T_{stg}	-55 至150

+ 强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限参数

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号	P&S网网址： http://www.p8s.com
信箱：武汉市70020信箱	邮编：430079
电话：(86) (027) 87493500 ~ 87493506	传真：(86) (027) 87491166, 87493497

条件下或在任何其它超过推荐工作条件所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

注释1：所有电压值均相对于 V_{SS} 。

3.2 TMS320C2xx推荐工作条件

参 数	测试条件	最小	正常	最大	单位
V_{DD} 电源电压		4.5	5	5.5	V
V_{SS} 电源电压			0		V
V_{IH} 高电平输入电压	CLKIN	3		$V_{DD}+0.3$	V
	\overline{RS} , CLKR, CLKX, RX, DR (仅203)	2			
	所有其它引脚	2		$V_{DD}+0.3$	
V_{IL} 低电平输入电压	CLKIN	-0.3		0.7	V
	\overline{RS} , CLKR, CLKX, RX, DR (仅203)			0.8	
	所有其它引脚	-0.3		0.8	
I_{OH} 高电平输出电流				-300	μ A
I_{OL} 低电平输出电流				2	mA
T_C 外壳温度		0		85	
T_A 工作温度范围 (自然通风)		0		70	

3.3 在工作温度范围内（自然通风）的极限参数（除非另有说明）（仅'320VC2xx）+

电源电压范围, V_{DD} (见注释2)	-0.3V至5V
输入电压范围	-0.3V至5V
输出电压范围	-0.3V至5V
工作温度范围（自然通风）, T_A	0 至70
存储温度范围, T_{stg}	-55 至150

+ 强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限参数条件下或在任何其它超过推荐工作条件所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

注释2：所有电压值均相对于 V_{SS} 。

3.4 TMS320VC2xx推荐工作条件

参 数	测试条件	最小	正常	最大	单位
V_{DD} 电源电压		2.7	3	3.3	V
V_{SS} 电源电压			0		V
V_{IH} 高电平输入电压	CLKIN	2		$V_{DD}+0.3$	V
	\overline{RS} , CLKR, CLKX, RX, DR (仅203)	$0.7V_{DD}$			
	所有其它引脚	1.8		$V_{DD}+0.3$	
V_{IL} 低电平输入电压	CLKIN	-0.3		0.5	V
	\overline{RS} , CLKR, CLKX, RX, DDR (仅203)			$0.2V_{DD}$	
	所有其它引脚	-0.3		0.6	
I_{OH} 高电平输出电流				-300	μ A
I_{OL} 低电平输出电流				2	mA
T_C 外壳温度		0		85	
T_A 工作温度范围 (自然通风)		0		70	

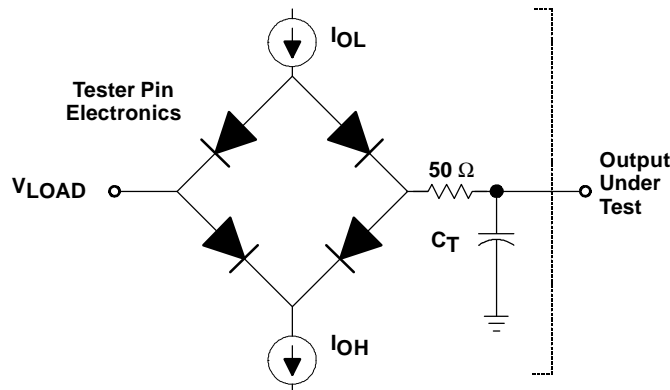
3.5 在推荐电源电压和工作温度（自然通风）@5V范围内，TMS320C2xx的电特性

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{OH} High-level output voltage	5-V operation, I _{OH} = MAX	2.4			V
V _{OL} Low-level output voltage	5-V operation, I _{OH} = MAX			0.6	V
I _I Input current	V _I = V _{DD} or 0 V	-10		10	μA
I _{OZ} Off-state output current	V _O = V _{DD} or 0 V			± 5	μA
I _{DD} Supply current, core CPU	5-V operation, f _x = 80 MHz		76		mA
C _i Input capacitance			15		
C _O Output capacitance			15		

3.6 在推荐电源电压和工作温度（自然通风）@3V范围内，TMS320VC2xx的电特性

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{OH} High-level output voltage	3-V operation, I _{OH} = MAX	2			V
V _{OL} Low-level output voltage	3-V operation, I _{OH} = MAX			0.4	V
I _I Input current	V _I = V _{DD} or 0 V	-10		10	μA
I _{OZ} Off-state output current	V _O = V _{DD} or 0 V			± 5	μA
I _{DD} Supply current, core CPU	3-V operation, f _x = 57 MHz		32		mA
C _i Input capacitance			15		pF
C _O Output capacitance			15		pF

3.7 参数测量资料



Where: I_{OL} = 2 mA (all outputs)
 I_{OH} = 400 μA (all outputs)
 V_{LOAD} = 1.5 V
 C_T = 60-pF typical load-circuit capacitance

图8 测试负载电路

3.7.1 信号跳变电平

本节的数据适用于5V型（'C2xx）和3V型（'VC2xx）。在每种情况下，首先给出5V数据，其后的括弧内为3V数据。TTL输出电平被驱动至最小逻辑高电平2.4V(2V)或最大逻辑低电平0.6V(0.4V)。图9表示TTL电平输出。

TTL输出瞬变时间规定如下：

* 对于高电平至低电平的跳变，输出不再被认为是高电平的门限是2V（1.8V），输出被认为是低电平的门限为1V（0.8V）。

* 对于低电平至高电平的跳变，输出不再被认为是低电平的门限是1V（0.8V），输出被认为是高电平的门限为2V（1.6V）。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号 P&S网网址：http://www.p8s.com
 信箱：武汉市70020信箱 邮编：430079
 电话：(86) (027) 87493500 ~ 87493506 传真：(86) (027) 87491166, 87493497

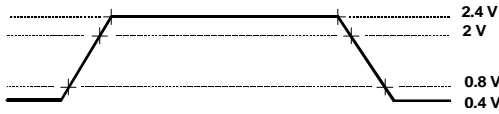


图10表示TTL电平输入。

图9 TTL电平输出

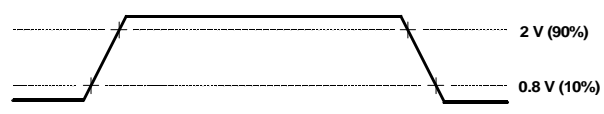


图10 TTL电平输入

TTL兼容输入跳变时间规定如下：

* 对于输入信号由高电平至低电平跳变，输入不再被认为是高电平的门限是2V (1.8V)，输入被认为是低电平的门限为0.8V(0.4V)

* 对于输入信号由低电平至高电平跳变，输入不再被认为是低电平的门限是0.8V(0.4V)，输入被认为是高电平的门限为2V (1.8V)

3.7.2 时序参数符号

所使用的时序参数符号是按照JEDEC标准100-A而创建的。为了缩短符号，某些引脚名称和其它相关的术语已缩写如下：

A	A[15 : 0]	MS	存储器选通引脚 \overline{TS} ， \overline{DS} 或 \overline{PS}
CI	CLKIN/X2	R	READY
CO	CLKOUT1	RD	读周期或 \overline{RD}
D	D[15 : 0]	RS	复位引脚 \overline{RS} 或 \overline{RS}
IN	INT[3 : 1]或 \overline{INTx}	W	写周期或 \overline{WE}

小写下标及其含义为：

- a 存取时间
- c 周期时间
- d 延迟时间
- f 全时间 (full time)
- h 保持时间
- r 上升时间
- su 建立时间
- t 跳变时间
- v 有效时间
- w 脉冲持续时间 (宽度)

下列字母和符号及其意义为：

- H 高
- L 低
- V 有效
- Z 高阻抗
- X 未知、变化或无关的电平

3.7.3 时序参数的一般性注释

来自TMS320C2xx器件的所有输出信号 (包括CLKOUT1) 均由内部时钟导出，从而所有输出跳变均以相互为最小的斜升率发生。

下面的时序图所示的信号组合可能不一定代表实际周期。关于实际周期的例子，请参见本数据手册中适当的周期说明部分。

3.8 时钟特性和时序

3.8.1 TMS320C209的时钟选项

PARAMETER	CLKMOD
Internal divide by two with external crystal	0
PLL multiply by two	1

3.8.2 TMS320C203的时钟选项

PARAMETER	DIV2	DIV1
Internal divide by two with external crystal	0	0
PLL multiply by one	0	1
PLL multiply by two	1	0
PLL multiply by four	1	1

3.8.3 带外部晶体的内部 ÷ 2时钟选项

在X1和X2/CLKIN之间跨接晶体可启用内部振荡器。CLKOUT1的频率是晶体振荡频率的一半。晶体应处于基波或谐波方式工作，并联谐振，其有效串联电阻为30Ω，功耗为1mW。其负载电容规定为20pF。注意谐波晶体需要额外调谐的LC电路。图11表示连接到片内振荡器的外部晶体（基频）。

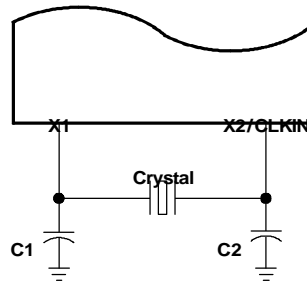


图11 内部时钟选项

3.8.4 TMS320C2xx的时序，V_{DD}=5V，PLL电路禁止，÷ 2方式

	TEST CONDITIONS	MIN	NOM	MAX	UNIT
f _x Input clock frequency	T _C = 0°C to 85°C	0 ⁺	80	57.14 40.96	MHz
C1, C2 Load capacitance			10		pF

+ 该器件采用全静态设计，因而可用接近无穷大的输入时钟周期（t_{c(C1)}）工作。器件的特点是频率近似为0，但在f_{CLK}=6.7MHz时测试以满足器件测试时间的要求。

1. 在推荐的工作条件范围内的开关特性 [H=0.5t_{c(C0)}]

PARAMETER	'320C2XX-40			'320C2XX-57			'320C2XX-80			UNIT
	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
t _{c(CO)} Cycle time, CLKOUT1	48.8	2t _{c(CI)}	+	35	2t _{c(CI)}	+	25	2t _{c(CI)}	+	ns
t _{d(CIH-CO)} Delay time, CLKIN high to CLKOUT1 high/low	1	11	20	1	11	20	1	9	18	ns
t _{f(CO)} Fall time, CLKOUT1		5			5			4		ns
t _{r(CO)} Rise time, CLKOUT1		5			5			4		ns
t _{w(COL)} Pulse duration, CLKOUT1 low	H-2	H	H+2	H-2	H	H+2	H-2	H	H+2	ns
t _{w(COH)} Pulse duration, CLKOUT1 high	H-2	H	H+2	H-2	H	H+2	H-2	H	H+2	ns

+ 该器件采用全静态设计，因而可用接近无穷大的输入时钟周期（t_{c(C1)}）工作。器件的特点是频率近似为0，但在t_{c(C1)}=300ns时测试以满足器件测试时间的要求。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com

邮编：430079

传真：(86) (027) 87491166, 87493497

2. 在推荐的工作条件范围内的时序要求

		'320C2XX-40		'320C2XX-57		'320C2XX-80		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	
$t_{c(CI)}$	Cycle time, CLKIN	25	+	17.5	+	12.5	+	ns
$t_f(CI)$	Fall time, CLKIN		5		5		4	ns
$t_r(CI)$	Rise time, CLKIN		5		5		4	ns
$t_w(CIL)$	Pulse duration, CLKIN low	11	+	8	+	5	+	ns
$t_w(CIH)$	Pulse duration, CLKIN high	11	+	8	+	5	+	ns

+ 该器件采用全静态设计，因而可用接近无穷大的输入时钟周期 ($t_{c(CI)}$) 工作。器件的特点是频率近似为0，但在 $t_{c(CI)}=150ns$ 时测试以满足器件测试时间的要求。

3.8.5 TMS320VC2xx'的时序， $V_{DD}=3V$ ，PLL电路禁止，÷2方式

NAME	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
f_x	Input clock frequency	$T_C = 0^{\circ}C$ to $85^{\circ}C$	0*	40.96	MHz

+ TMS320VC2xx是指TMS320C2xx的3.0V版本。

* 该器件采用全静态设计，因而可用接近无穷大的输入时钟周期 ($t_{c(CI)}$) 工作。器件的特点是频率近似为0，但在 $f_x=6.7MHz$ 时测试以满足器件测试时间的要求。

1. 在推荐的工作条件范围内的开关特性 [$H=0.5t_{c(CO)}$]

PARAMETER	'320VC2XX-40			'320VCXX-57			UNIT	
	MIN	TYP	MAX	MIN	TYP	MAX		
$t_{c(CO)}$	Cycle time, CLKOUT1	50	$2t_{c(CI)}$	*	35	$2t_{c(CI)}$	*	ns
$t_d(CIH-CO)$	Delay time, CLKIN high to CLKOUT1 high/low	3	11	20	1	11	20	ns
$t_f(CO)$	Fall time, CLKOUT1		5		5		ns	
$t_r(CO)$	Rise time, CLKOUT1		5		5		ns	
$t_w(COL)$	Pulse duration, CLKOUT1 low	H-3	H	H+2	H-2	H	H+2	ns
$t_w(COH)$	Pulse duration, CLKOUT1 high	H-3	H	H+2	H-2	H	H+2	ns

* 该器件采用全静态设计，因而可用接近无穷大的输入时钟周期 ($t_{c(CI)}$) 工作。器件的特点是频率近似为0，但在 $t_{c(CI)}=300ns$ 时测试以满足器件测试时间的要求。

2. 在推荐的工作条件范围内的时序要求

		'320VC2XX-40		'320VC2XX-57		UNIT
		MIN	MAX	MIN	MAX	
$t_{c(CI)}$	Cycle time, CLKIN	25	*	17.5	*	ns
$t_f(CI)$	Fall time, CLKIN		5		5	ns
$t_r(CI)$	Rise time, CLKIN		5		5	ns
$t_w(CIL)$	Pulse duration, CLKIN low	9	*	8	*	ns
$t_w(CIH)$	Pulse duration, CLKIN high	9	*	8	*	ns

● 该器件采用全静态设计，因而可用接近无穷大的输入时钟周期 ($t_{c(CI)}$) 工作。器件的特点是频率近似为0，但在 $t_{c(CI)}=150ns$ 时测试以满足器件测试时间的要求。

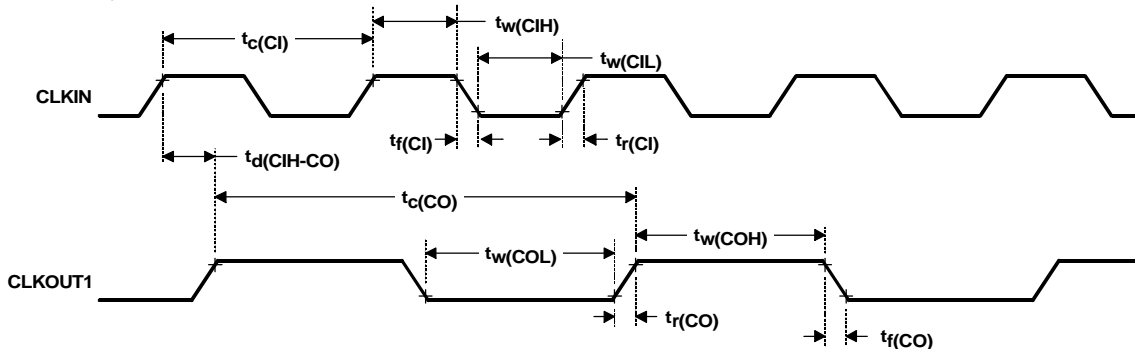


图12 无PLL的CLKIN至CLKOUT时序 (÷2时钟选项)

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号	P&S网网址：http://www.p8s.com
信箱：武汉市70020信箱	邮编：430079
电话：(86) (027) 87493500 ~ 87493506	传真：(86) (027) 87491166, 87493497

3.8.6 PLL电路使能、X2方式时的时序

NAME	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
f _x	Input clock frequency	T _C = 0°C to 85°C, 3 V	5	14.25	MHz
		T _C = 0°C to 85°C, 5 V	5	20	MHz

1. 在推荐的工作条件范围内的开关特性@5V[H=0.5t_{c(CO)}]

PARAMETER		'320C2XX-40			'320C2XX-57			'320C2XX-80			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
t _{c(CO)}	Cycle time, CLKOUT1	50		100	35		75	25		55	ns
t _{d(CIH-CO)}	Delay time, CLKIN high to CLKOUT1 high/low	3	8	18	3	8	18	1	8	16	ns
t _{f(CO)}	Fall time, CLKOUT1		5			5			4		ns
t _{r(CO)}	Rise time, CLKOUT1		5			5			4		ns
t _{w(COL)}	Pulse duration, CLKOUT1 low	H-2	H	H+2	H-2	H	H+2	H-2	H	H+2	ns
t _{w(COH)}	Pulse duration, CLKOUT1 high	H-2	H	H+2	H-2	H	H+2	H-2	H	H+2	ns
t _p	Transition time, PLL synchronized after CLKIN supplied			1000			1000			1000	cycles

2. 在推荐的工作条件范围内的时序要求@5V

		'320C2XX-40		'320C2XX-57		'320C2XX-80		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	
t _{c(CI)}	Cycle time, CLKIN multiply by one	50	100	35	75	25	75	ns
	Cycle time, CLKIN multiply by two	100	200	70	200	50	150	ns
t _{f(CI)}	Fall time, CLKIN		4		4		4	ns
t _{r(CI)}	Rise time, CLKIN		4		4		4	ns
t _{w(CIL)}	Pulse duration, CLKIN low	16	95	14	95	11	95	ns
t _{w(CIH)}	Pulse duration, CLKIN high	16	95	14	95	11	95	ns

3. 在推荐的工作条件范围内的开关特性@3V

	PARAMETER	'320C2XX-40			'320C2XX-57			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
t _{c(CO)}	Cycle time, CLKOUT1	50	2t _{c(CI)}	75	35	2t _{c(CI)}	75	ns
t _{d(CIH-CO)}	Delay time, CLKIN high to CLKOUT1 high/low	3	8	18	3	8	118	ns
t _{f(CO)}	Fall time, CLKOUT1		5			5		ns
t _{r(CO)}	Rise time, CLKOUT1		5			5		ns
t _{w(COL)}	Pulse duration, CLKOUT low	H-2	H	H+2	H-2	H	H+2	ns
t _{w(COH)}	Pulse duration, CLKOUT high	H-2	H	H+2	H-2	H	H+2	ns
t _p	Transition time, PLL synchronized after CLKIN supplied			1000			1000	cycles

4. 在推荐的工作条件范围内的时序要求@3V

		'320C2XX-40		'320C2XX-57		UNIT
		MIN	MAX	MIN	MAX	
t _{c(CI)}	Cycle time, CLKIN multiply by one	50	75	35	75	ns
	Cycle time, CLKIN multiply by two	100	150	70	200	ns
t _{f(CI)}	Fall time, CLKIN		5		4	ns
t _{r(CI)}	Rise time, CLKIN		5		4	ns
t _{w(CIL)}	Pulse duration, CLKIN low	15	95	15	95	ns
t _{w(CIH)}	Pulse duration, CLKIN high	15	95	15	95	ns

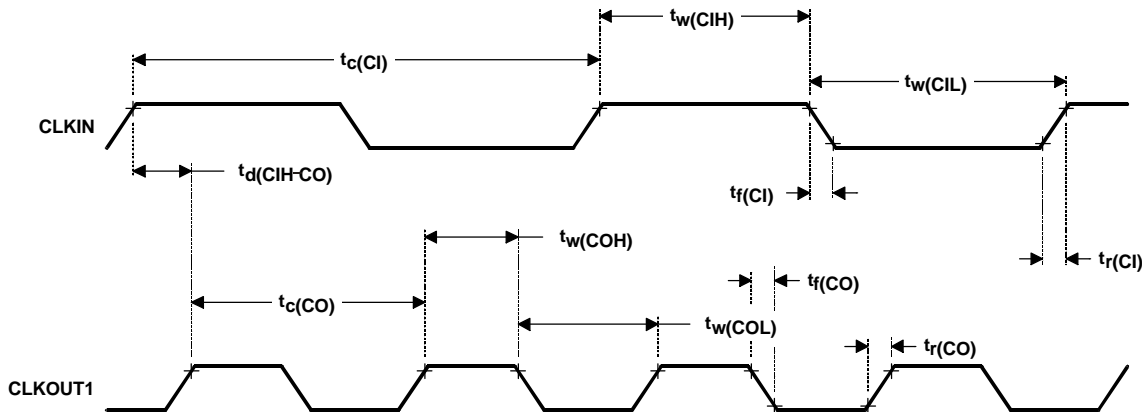


图13 带PLL的CLKIN至CLKOUT时序 (×2时钟选项)

3.9 存储器和外设接口的时序关系

3.9.1 存储器和并行I/O接口读时序

除了当 \overline{PS} 、 \overline{DS} 和 \overline{IS} 处于脉冲高电平[见 $t_{w(NSN)}$]时,读和写操作之间发生转变的过程外,A15-A0、 \overline{PS} 、 \overline{DS} 、 \overline{IS} 、 \overline{RW} 和 \overline{BR} 的时序关系均包括在以A15-A0为参考的时序关系中。

3.9.1.1 在推荐的工作条件范围内的开关特性@5V [H=0.5 $t_{c(co)}$]

PARAMETER	'320C2XX-40		'320C2XX-57		'320C2XX-80		UNIT
	MIN	MAX	MIN	MAX	MIN	MAX	
$t_{su(A)RD}$ Setup time, address valid before \overline{RD} low	H - 7		H - 5		H - 5		ns
$t_{h(A)RD}$ Hold time, address valid after \overline{RD} high	- 6		- 6		- 6		ns
$t_d(CO-A)$ Delay time, address valid after CLKOUT1 low		8		8		8	ns
$t_{h(A)CO}$ Hold time, address valid after CLKOUT1 low	- 2		- 2		- 2		ns
$t_d(CO-RD)$ Delay time, CLKOUT1 high/low to \overline{RD} low/high	0	6	0	6	0	6	ns
$t_d(CO-S)$ Delay time, CLKOUT1 low to \overline{STRB} low/high ⁺	- 1	4	0	5	0	5	ns
$t_w(RDL)$ Pulse duration, \overline{RD} low (no wait states)	H - 3	H + 2	H - 3	H + 2	H - 3	H + 2	ns
$t_w(RDH)$ Pulse duration, \overline{RD} high	H - 4	H + 2	H - 4	H + 2	H - 3	H + 2	ns
$t_d(RDW)$ Delay time, \overline{RD} high to \overline{WE} low	2H - 8		2H - 8		2H - 7		ns

+ 数值由特性数据导出,未经测试。

3.9.1.2 在推荐的工作条件范围内的时序要求@5V [H=0.5 $t_{c(co)}$]

	'320C2XX-40		'320C2XX-57		'320C2XX-80		UNIT
	MIN	MAX	MIN	MAX	MIN	MAX	
$t_a(A)$ Access time, read data from address time		2H - 18		2H - 15		2H - 12	ns
$t_{su(D)RD}$ Setup time, data read before \overline{RD} high	13		13		10		ns
$t_{h(D)RD}$ Hold time, data read from \overline{RD} high	- 2		- 2		- 2		ns
$t_{h(D)A}$ Hold time, read data from address invalid	0		0		0		ms
$t_{su(DCOL)R}$ Setup time, data read before CLKOUT1 low	9		9		8		ns
$t_{h(DCOL)R}$ Hold time, data read from CLKOUT1 low	- 1		- 1		- 1		ns
$t_a(RD)$ Access time, read data after \overline{RD} low		H - 12		H - 12		H - 10	ns

3.9.1.3 在推荐的工作条件范围内的开关特性@3V [H=0.5t_{c(co)}]

PARAMETER		MIN	MAX	MIN	MAX	UNIT
t _{su(A)RD}	Setup time, address valid before \overline{RD} low	H - 7		H - 5		ns
t _{h(A)RD}	Hold time, address valid after \overline{RD} high	6		6		ns
t _{d(A)CO}	Delay time, address valid after CLKOUT1 low		8		8	ns
t _{h(A)CO}	Hold time, address valid after CLKOUT1 low	-2		-2		ns
t _{d(CO-RD)}	Delay time, CLKOUT1 high/low to \overline{RD} low/high	-1	5	-1	5	ns
t _{d(CO-S)}	Delay time, CLKOUT1 low to \overline{STRB} low/high [†]	1	5	1	5	ns
t _{w(RDL)}	Pulse duration, \overline{RD} low (no wait states)	H - 3	H + 2	H - 3	H + 2	ns
t _{w(RDH)}	Pulse duration, \overline{RD} high	H - 4	H + 2	H - 4	H + 2	ns
t _{d(RDW)}	Delay time, \overline{RD} high to \overline{WE} low	2H - 8		2H - 8		

+ 数值由特性数据导出，未经测试。

3.9.1.4 在推荐的工作条件范围内的时序要求@3V [H=0.5t_{c(co)}]

		MIN	MAX	MIN	MAX	UNIT
t _{a(A)}	Access time, read data from address time [†]		2H - 14		2H - 14	ns
t _{su(D)RD}	Setup time, data read before \overline{RD} high	13		13		ns
t _{h(D)RD}	Hold time, data read from \overline{RD} high	-2		-2		ns
t _{h(D)A}	Hold time, read data from address invalid	0		0		ms
t _{su(DCOL)R}	Setup time, data read before CLKOUT1 low	9		9		ns
t _{h(DCOL)R}	Hold time, data read from CLKOUT1 low	-1		-1		ns
t _{a(RD)}	Access time, read data after \overline{RD} low		H - 12		H - 12	ns

+ 数据由特性数据导出，未经测试。

3.9.2 存储器和并行I/O接口写时序

除了当 \overline{PS} 、 \overline{DS} 和 \overline{IS} 处于脉冲高电平[见t_{w(MSH)}]时，读和写操作之间发生转变的过程外，A15-A0、 \overline{PS} 、 \overline{DS} 、 \overline{IS} 、 \overline{RW} 和 \overline{BR} 的时序关系均包括在以A15-A0为参考的时序关系中。

3.9.2.1 在推荐工作条件范围内的开关特性@5V [H=0.5t_{c(co)}]

PARAMETER	'320C2XX-40		'320C2XX-57		'320C2XX-80		UNIT
	MIN	MAX	MIN	MAX	MIN	MAX	
t _{su(A)W}	Setup time, address valid before \overline{WE} low		H - 7		H - 6		ns
t _{h(A)W}	Hold time, address valid after \overline{WE} high		H - 10		H - 8		ns
t _{su(A)CO}	Setup time, address valid before CLKOUT1 low		H - 9		H - 8		ns
t _{h(A)COw}	Hold time, address valid after CLKOUT1 low		H - 3		H - 2		ns
t _{w(NSN)}	Pulse duration, \overline{IS} , \overline{DS} , \overline{PS} inactive high [†]		H - 9		H - 8		ns
t _{w(WL)}	Pulse duration, \overline{WE} low (no wait states)		2H - 2	2H + 2	2H - 2	2H + 2	ns
t _{w(WH)}	Pulse duration, \overline{WE} high		2H - 2		2H - 2		ns
t _{d(CO-W)}	Delay time, CLKOUT1 low to \overline{WE} low/high		0	6	0	6	ns
t _{d(WRD)}	Delay time, \overline{WE} high to \overline{RD} low		3H - 10		3H - 8		ns
t _{su(D)W}	Setup time, write data valid before \overline{WE} high		2H - 15	2H [†]	2H - 15	2H [†]	ns
t _{h(D)W}	Hold time, write data valid after \overline{WE} high		H - 4	H + 7 [†]	H - 4	H + 7 [†]	ns
t _{su(DCOL)W}	Setup time, write data valid before CLKOUT1 low		2H - 20	2H [†]	2H - 20	2H [†]	ns
t _{h(DCOL)W}	Hold time, write data valid after CLKOUT1 low		H - 4	H + 11 [†]	H - 4	H + 11 [†]	ns
t _{en(D)W}	Enable time, \overline{WE} to data bus driven [†]		-4		-3		ns

+ 数值由特性数据导出，未经测试。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

P&S网网址：http://www.p8s.com

信箱：武汉市70020信箱

邮编：430079

电话：(86) (027) 87493500 ~ 87493506

传真：(86) (027) 87491166, 87493497

3.9.2.2 在推荐工作条件范围内的开关特性@3V [H=0.5t_{c(c0)}]

PARAMETER	'320VC2XX-40 '320VC2XX-57		UNIT
	MIN	MAX	
t _{su(A)W}	H - 5		ns
t _{h(A)W}	H - 10		ns
t _{su(A)CO}	H - 9		ns
t _{h(A)COw}	H - 3		ns
t _{w(NSN)}	H - 9		ns
t _{w(WL)}	2H - 2	2H + 2	ns
t _{w(WH)}	2H - 2		ns
t _{d(CO-W)}	0	6	ns
t _{d(WRD)}	3H - 8		ns
t _{su(D)W}	2H - 15	2H [†]	ns
t _{h(D)W}	H - 4	H + 7 [†]	ns
t _{su(DCOL)W}	2H - 20	2H	ns
t _{h(DCOL)W}	H - 4	H + 11	ns
t _{en(D)W}	-4		ns

+ 数值由特性数据导出，未经测试。

3.9.3 存储器接口读写时序图

存储器接口的读写时序分别如图14和图15所示。

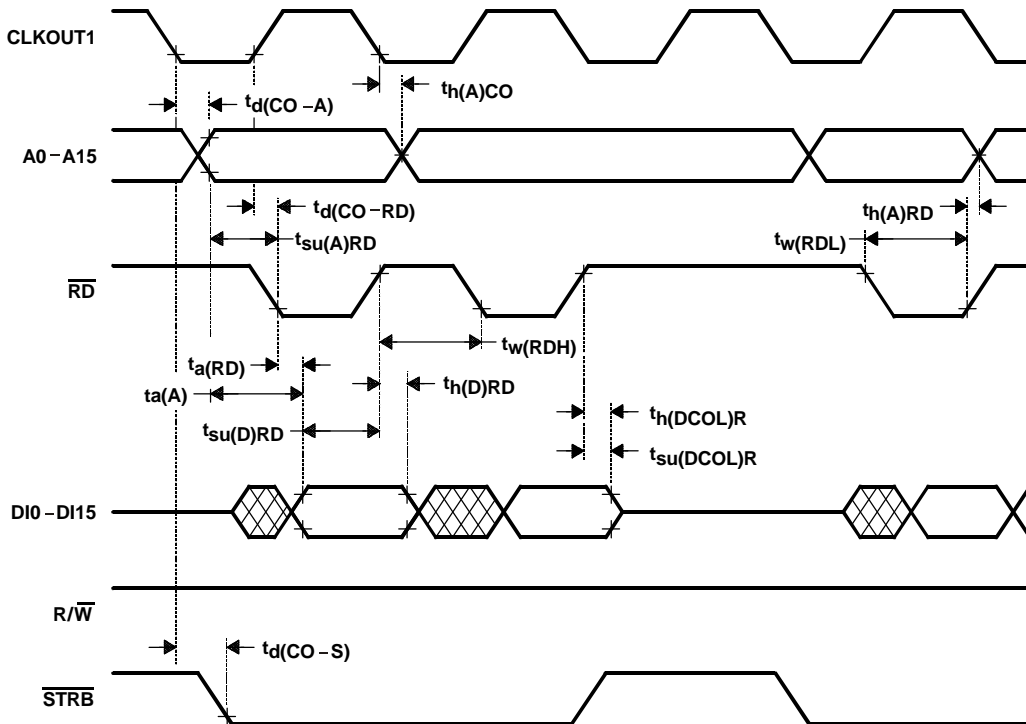


图14 存储器接口读时序

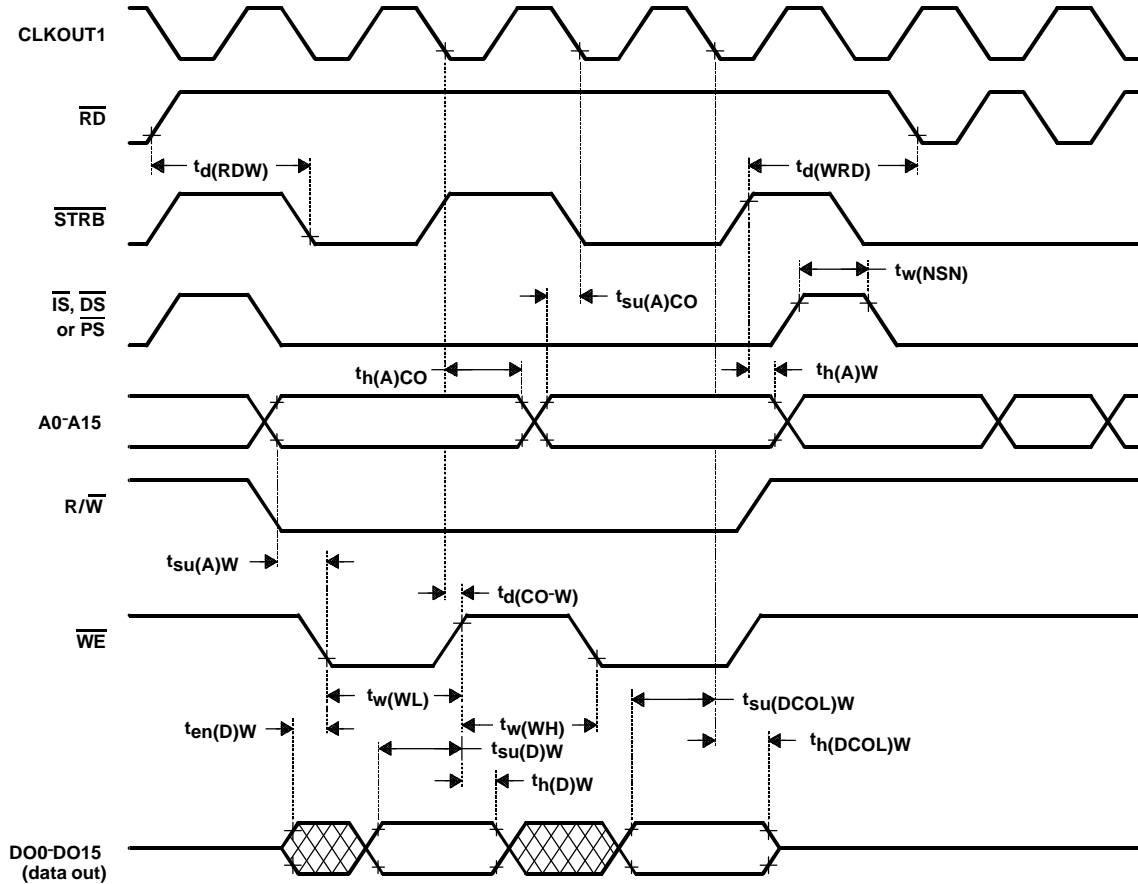


图15 存储器接口写时序

3.10 READY时序关系

3.10.1 在推荐的工作条件范围内的时序要求 [H=0.5t_{c(c0)}]

	'320C2XX-40, '320C2XX57, 3/5 V [†]		'320C2XX-80 5 V		UNIT
	MIN	MAX	MIN	MAX	
t _{su} (R-CO) Setup time, READY before CLKOUT1 rises	11		8		ns
t _h (CO-R) Hold time, READY low after CLKOUT1 rises	0		0		ns
t _{su} (R)RD Setup time, READY before RD falls	14		11		ns
t _h (R)RD Hold time, READY after RD falls	4		4		ns
t _v (R)W Valid time, READY after WE falls	H - 13		H - 10		ns
t _h (R)W Hold time, READY after WE falls	H + 4		H + 3		ns
t _v (R)Ar Valid time, READY after address valid on read	H - 17		H - 15		ns
t _v (R)Aw Valid time, READY after address valid on write	2H - 18		2H - 16		ns

+ 3V操作，仅'C203。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号
 信箱：武汉市70020信箱
 电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com
 邮编：430079
 传真：(86) (027) 87491166, 87493497

3.10.2 READY时序图

READY的时序关系如图16所示。

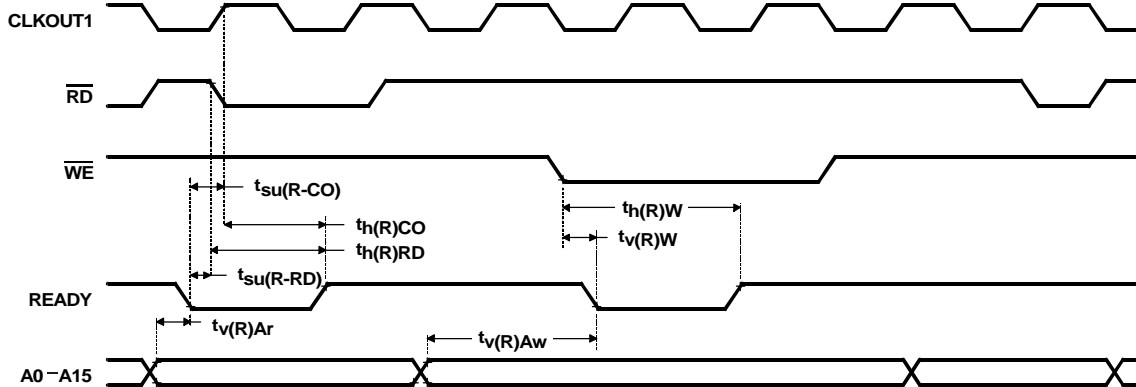


图16 READY时序图

3.11 RS、INT1-INT3、NMT、BIO、TOUT以及XF的时序关系

INTN指BIO、INT1-INT3、以及NMI。

3.11.1 在推荐的工作条件范围内的开关特性 [H=0.5t_{c(c0)}]

		'320C2XX-40, '320C2XX57, 3/5 V [†]		'320C2XX-80 5 V		UNIT
PARAMETER		MIN	MAX	MIN	MAX	UNIT
t _d (XF)	Delay time, XF valid after CLKOUT1	0*	13	0*	10	ns
t _d (TOUT)	Delay time, TOUT high/low after CLKOUT1	0*	11	0*	11	ns
t _w (TOUT)	Pulse duration, TOUT high	2H-12		2H-9		ns

+ 3V操作，仅'C203。

* 数值由特性数据导出，未经测试。

3.11.2 在推荐的工作条件范围内的时序要求 [H=0.5t_{c(c0)}]

		'320C2XX-40, '320C2XX57, 3/5 V [†]		'320C2XX-80 5 V		UNIT
		MIN	MAX	MIN	MAX	UNIT
t _{su} (RS)CI	Setup time, RS no longer high before CLKIN low	11		9		ns
t _{su} (RS)CO	Setup time, RS no longer low before CLKOUT1 low	14		10		ns
t _w (RSL)	Pulse duration, RS low	12H		12H		ns
t _d (EX)	Delay time, RS high to reset-vector fetch	34H		34H		ns
t _{su} (IN)CO	Setup time, INTx before CLKOUT1 low (synchronous)	10		10		ns
t _h (IN)CO	Hold time, INTx after CLKOUT1 low (synchronous)	0		0		ns
t _w (IN)	Pulse duration, INTx low/high	2H+18		2H+16		ns
t _d (IN)	Delay time, INTx low to interrupt-vector fetch	12H		12H		ns

+ 3V操作，仅'C203。

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com

邮编：430079

传真：(86) (027) 87491166, 87493497

3.11.3 复位、中断和BI0以及XF时序图

复位、中断和BI0以及XF的时序分别如图17、18和19所示。

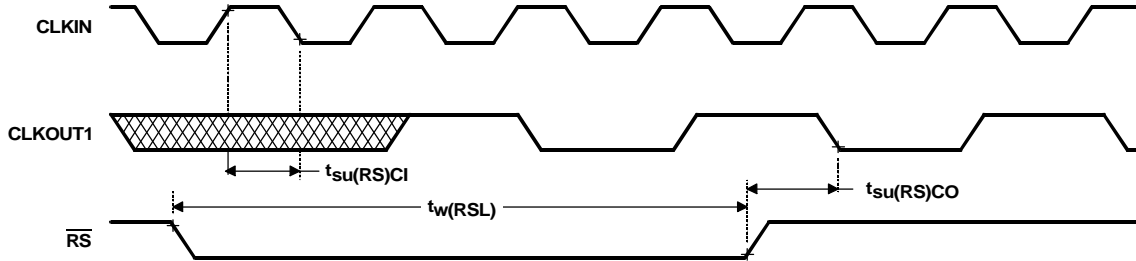


图17 复位时序图

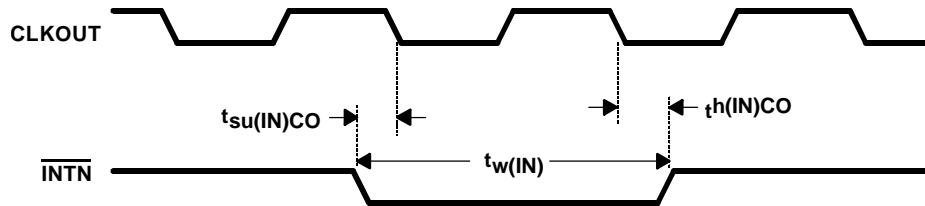


图18 中断和BI0时序图

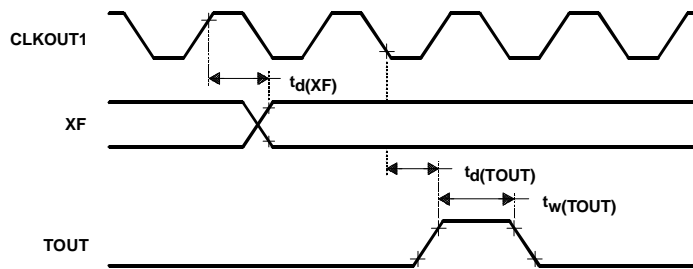


图19 XF和TOUT时序图

3.12 外部DMA时序

3.12.1 在推荐的工作条件范围内的开关特性 [H=0.5t_{c(CO)}]

		'320C2XX-40, '320C2XX57, 3/5 V'		'320C2XX-80 5 V		UNIT
		MIN	MAX	MIN	MAX	UNIT
t _d (H-HA)	Delay time, $\overline{\text{HOLD}}$ low to $\overline{\text{HOLDA}}$ low	4H		4H		ns
t _d (H-HA)	Delay time, $\overline{\text{HOLD}}$ high before $\overline{\text{HOLDA}}$ high	2H		2H		ns
t _z (M-HA)	Address high impedance before $\overline{\text{HOLDA}}$ low (see Note 3)	H - 15		H - 10		ns
t _{en} (HA-M)	Enable time, $\overline{\text{HOLDA}}$ high to address driven	H - 5		H - 4		ns

+ 3V工作，仅'C203。

注3：该参数包含所有的存储器控制线。

3.12.2 外部DMA时序图

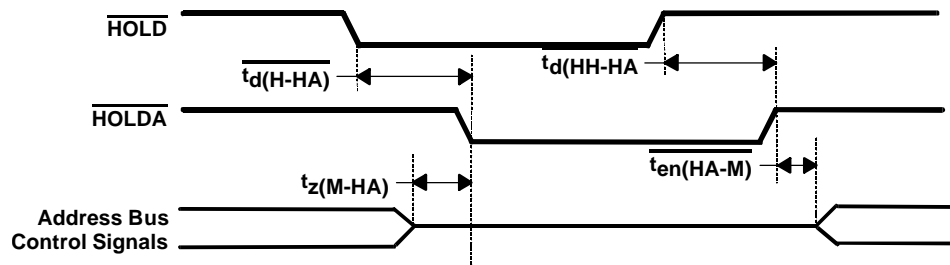


图20 外部DMA时序

3.13 $\overline{\text{IACK}}$ 时序

在拾取中断向量的第一个字期间， $\overline{\text{IACK}}$ 为低电平。当使用等待状态时， $\overline{\text{IACK}}$ 仅在第一个读周期变为低电平。为了识别正被响应的中断，地址引脚A1-A4可在下降沿被译码。

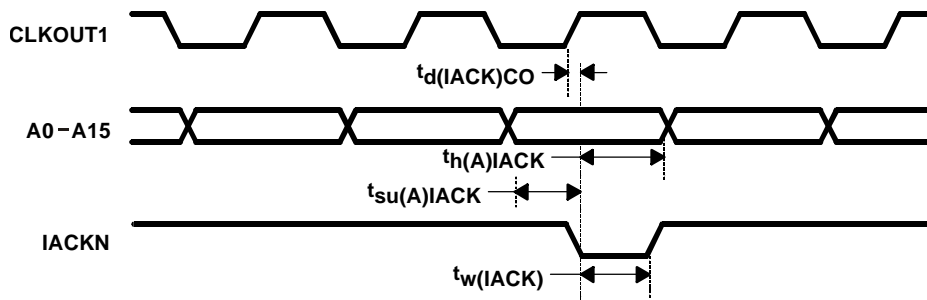
3.13.1 在推荐的工作条件范围内的开关特性 [H=0.5t_{c(CO)}]

		'320C2XX-40, '320C2XX57, 5 V ⁺	UNIT	
NAME	PARAMETER	MIN	MAX	UNIT
t _{su(A)IACK}	Setup time, address valid before $\overline{\text{IACK}}$ low	H-9		ns
t _{h(A)IACK}	Hold time, address valid after $\overline{\text{IACK}}$ high	H-7		ns
t _{w(IACK)}	Pulse duration, $\overline{\text{IACK}}$ low	H-7		ns
t _{d(IACK)CO}	Delay time, CLKOUT1 to $\overline{\text{IACK}}$ low	1*	3	ns

+ 仅C209。

* 数值由特性数据导出，未经测试。

3.13.2 $\overline{\text{TACK}}$ 时序图



注A： $\overline{\text{TACK}}$ 不受等待状态的影响。

图21 $\overline{\text{TACK}}$ 时序

3.14 串口接收时序

3.14.1 在推荐的电源电压和工作温度（自然通风）范围内的时序要求 [H=0.5t_{c(CO)}]

		'320C2XX-40, '320C2XX57, 3/5 V ⁺	'320C2XX-80 5 V	UNIT
		MIN	MAX	UNIT
t _{c(SCK)}	Cycle time, serial port clock	4H	4H	ns
t _{f(SCK)}	Fall time, serial port clock		8	ns
t _{r(SCK)}	Rise time, serial port clock		8	ns
t _{w(SCK)}	Pulse duration, serial port clock low/high	2H	2H	ns
t _{su(FS)}	Setup time, FSR before CLKR falling edge	10	7	ns
t _{su(DR)}	Setup time, DR before CLKR falling edge	10	7	ns
t _{h(FS)}	Hold time, FSR after CLKR falling edge	10	7	ns
t _{h(DR)}	Hold time, DR after CLKR falling edge	10	7	ns

+ 3V工作，仅C203。

3.14.2 串口接收时序图

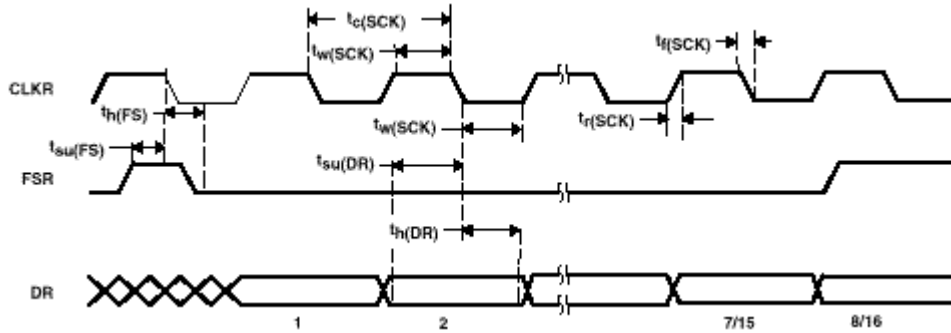


图22 串口接收时序

3.15 串口发送时序，外部时钟及外部帧同步

3.15.1 在推荐的工作条件范围内的开关特性

PARAMETER		MIN	MAX	UNIT
$t_d(DX)$	Delay time, DX valid after CLKX high		25	ns
$t_{dis}(DX)$	Disable time, DX after CLKX high		40	ns
$t_h(DX)$	Hold time, valid after CLKX high	-5		ns

3.15.2 在推荐的电源电压和工作温度（自然通风）范围内的时序要求 [H=0.5t_{c(CO)}]

	'320C2XX-40, '320C2XX57, 3/5 V ⁺		'320C2XX-80 5 V		UNIT
	MIN	MAX	MIN	MAX	
$t_c(SCK)$	4H		4H		ns
$t_f(SCK)$			8		ns
$t_r(SCK)$			8		ns
$t_w(SCK)$	2H		2H		ns
$t_d(FS)$	2H - 8		2H - 8		ns
$t_h(FS)$	10		7		ns
$t_h(FS)H$	2H - 8		2H - 8		ns

+ 3V工作，仅'C203。

3.15.3 采用外部时钟和外部帧同步的串口发送时序

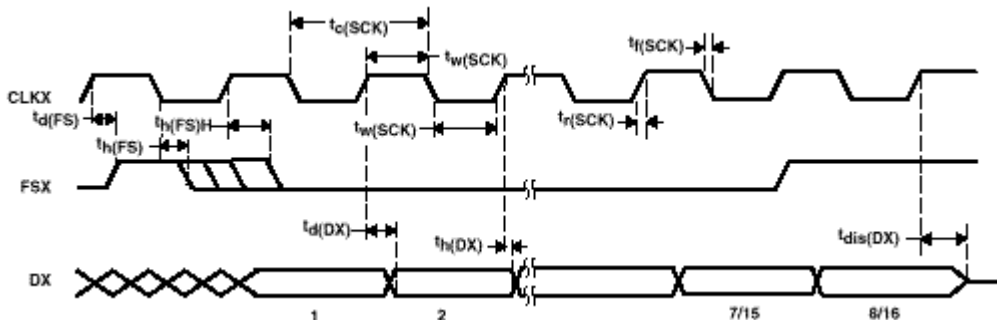


图23 外部时钟和外部帧同步的串口发送时序

3.16 串口发送时序，内部时钟及内部帧同步

3.16.1 在推荐的工作条件范围内的开关特性 [$H=0.5t_{c(CO)}$]

PARAMETER	'320C2XX-40, '320C2XX57, 3/5 V†			'320C2XX-80 5 V			UNIT
	MIN	TYP	MAX	MIN	TYP	MAX	
$t_d(FS)$ Delay time, CLKX rising to FSX	-5		25	-4		18	ns
$t_d(DX)$ Delay time, CLKX to DX			25			18	ns
$t_{dis}(DX)$ Disable time, CLKX rising to DX			40			29	ns
$t_c(SCK)$ Cycle time, serial port clock		4H			4H		ns
$t_f(SCK)$ Fall time, serial port clock		5			4		ns
$t_r(SCK)$ Rise time, serial port clock		5			4		ns
$t_w(SCK)$ Pulse duration, serial port clock low/high	2H - 20			2H - 16			ns
$t_h(DX)$ Hold time, DX valid after CLKX rising high	-5			-4			ns

+ 3V工作，仅'C203。

3.16.2 采用内部时钟和内部帧同步的串口发送时序

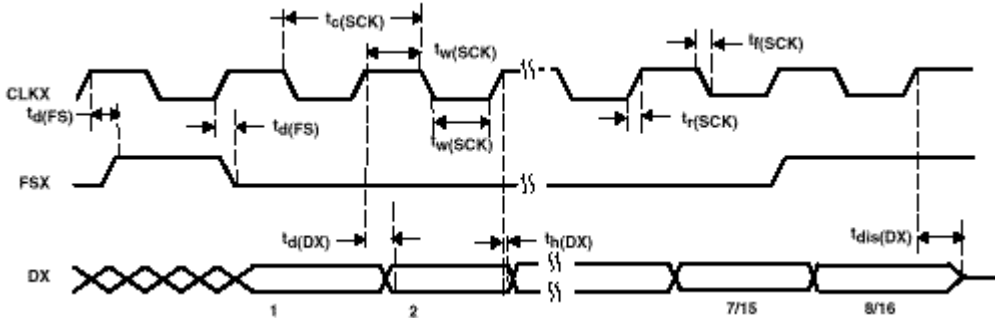


图24 内部时钟和内部帧同步的串口发送时序